

## 相補型MISFET及び集積回路

## 技術分野

[0001] 本発明は、線状体に形成した相補型MISFET及び集積回路に関する。

## 背景技術

[0002] (従来の相補型MISFET)

低消費電力、高集積密度などの特徴を持つ相補型MISFETにより構成される集積回路は、電池駆動による携帯型電子機器などに広く使用されている。

[0003] 図28(a)は、従来の平面基板上に形成された相補型MISFETの構造を示す断面図である。従来の相補型MISFETは、N型ウェル領域492上に形成したP型MISFETと、P型の半導体基板491上に形成したN型MISFETにより構成される。P型MISFETは、ゲート電極499、P型のドレイン領域495、P型のソース領域494で構成され、ソース領域494とウェル領域492はN型のウェルコンタクト領域493を介して電氣的に接続している。N型MISFETは、ゲート電極500、N型のドレイン領域496、N型のソース領域497で構成され、ソース領域497と基板491はP型の基板コンタクト領域498を介して電氣的に接続している。

[0004] (従来の集積回路)

従来の集積回路の例として、半導体メモリー、イメージセンサー、PLAの構造、機能について以下に説明する。

[0005] (従来の半導体メモリー)

半導体メモリーは、プログラムやデータなどの電子情報を記憶する装置として、コンピュータや電子機器に幅広く使用されている。

[0006] 図24(a)は、従来の半導体メモリーを構成する平面基板上に形成されたMISFETの断面図である。シリコンなどからなる平面基板401上に、ゲート電極403、ゲート絶縁膜404、ソース領域405、ドレイン領域406からなる複数のMISFETが、LOCOS法などにより形成した絶縁分離領域402により電氣的に分離されて形成されている。

[0007] 図24(b)は、半導体メモリー、例えば、マスクROMの回路図であり、図25(a)、(b)は、

図24(b)に示す回路図に対応する従来の半導体メモリーの平面図である。図25(a)、(b)において、各MISFETは、ゲート電極、ソース領域、ドレイン領域、ソースコンタクト、ドレインコンタクトのパターンから構成される。例えば、図25(a)の左上に配置されたMISFETは、ゲート電極421、ソース領域422、ドレイン領域423、ソースコンタクト424、ドレインコンタクト425のパターンから構成されている。各MISFET間は、例えば多結晶シリコンからなるゲート配線と、例えばAlからなるソース配線、ドレイン配線により接続されている。図25(a)、(b)においては、ゲート配線421、431は、それぞれ、ゲート電極と共通の多結晶シリコン層により形成され、図24(b)のワード線411に対応している。ソース配線426、436は、いずれも接地電位に接続される。ドレイン配線427、437は、それぞれ、図24(b)のビット線412に対応している。

[0008] マスクROMにおける情報の記録は、ドレインとビット線の接続、あるいは、非接続によって行う。図24(b)における接続ノード413は、ドレインとビット線412が接続しているノードを示し、非接続ノード414は、ドレインとビット線412が接続していないノードを示している。平面基板401上に、予めMISFET、及び、一層目Al配線(ソース配線)まで完成した基板を用意しておく。マスクROMで記憶するデータが決定した段階で、ドレインコンタクト425のマスク、あるいは、2層目Al配線437のマスクを用意し、少ないマスク工程だけで組み合わせ論理回路が実現するので、ターンアラウンドタイムを短縮できる。図25(a)は、ドレインコンタクトのパターンによってデータを記録した場合に対応し、図25(b)は、2層目Al配線のパターンによってデータを記憶した場合に対応する。

[0009] (従来のイメージセンサー)

イメージセンサーは、光エネルギーを電気エネルギーに変換するフォトダイオードと、発生した電気エネルギーを蓄積し、電気信号として取り出すMISFETから構成され、フォトダイオードとMISFETを組み合わせた画素を、一次元、あるいは二次元に配列して、画素が検知した光を電氣的な画像信号として取り出す機能を持つ。

[0010] 図26(a)は、従来のイメージセンサーを構成する平面基板上に形成されたMISFET及びフォトダイオードの断面図であり、(b)は、イメージセンサーの回路図の一部であり、(c)は、(b)に対応する従来のイメージセンサーの平面図である。シリコンなどからなる

P型の平面基板451上に、ゲート電極456、ゲート絶縁膜455、N型のソース領域453、N型のドレイン領域454から構成されたMISFETと、P型の平面基板451からなるアノードと、N型のカソード領域459から構成されたフォトダイオードが形成されている。

- [0011] 図26(b)は、イメージセンサーの回路図であり、図26(c)は、図26(b)に示す回路図に対応する従来のイメージセンサーの平面図である。図26(b)のフォトダイオード462、MISFET463は、それぞれ、図26(c)のパターン466、パターン467に対応し、また、図26(b)の垂直選択線464は、図26(c)のゲート配線を兼ねたゲート電極に対応する。さらに、図26(b)の垂直信号線465は、図26(c)のドレイン配線469に対応する。基板451を接地電位に接続することで、各フォトダイオードのアノードは接地電位に接続される。フォトダイオードを構成するPN接合に光が照射されると、電子正孔対が発生し、発生した電子は、N型のカソード領域を通してMISFETのソース領域453に蓄積される。蓄積された電子は、MISFETがゲート電圧の制御によりONになると、ドレイン配線を通してイメージセンサーの出力回路に転送される。

- [0012] (従来のPLA)

PLAは、規則的に配置した複数のMISFETからなる集積回路上で配線パターンを変更するだけで任意の組み合わせ論理を実現できるので、レイアウト設計の自動化、設計のターンアラウンドタイム短縮に効果的な論理集積回路である。

- [0013] 図24(a)は、従来のPLAを構成する平面基板上に形成されたMISFETの断面図である。シリコンなどからなる平面基板401上に、ゲート電極403、ゲート絶縁膜404、ソース領域405、ドレイン領域406からなる複数のMISFETが、LOCOS法などにより形成した絶縁分離領域402により電気的に分離されて形成されている。

- [0014] 図27(a)は、PLAのAND平面の回路図であり、図27(b)は、図27(a)に示す回路図に対応する従来のPLAの平面図である。各MISFETは、ゲート電極、ソース領域、ドレイン領域、ソースコンタクト、ドレインコンタクトのパターンから構成される。例えば、図27(b)の左上に配置されたMISFETは、ゲート電極474、ソース領域475、ドレイン領域476、ソースコンタクト477、ドレインコンタクト478のパターンから構成されている。各MISFET間は、例えば多結晶シリコンからなるゲート配線と、例えばAlからなるソース配線、及びドレイン配線により接続されている。図27(b)においては、ゲート配線479

は、それぞれ、ゲート電極と共通の多結晶シリコン層により形成され、図27(a)のAND平面入力配線471に対応している。ソース配線480は、いずれも接地電位に接続される。ドレイン配線481は、それぞれ、図27(a)のAND平面出力配線473に対応している。平面基板401上に、予めMISFET、及び、一層目Al配線まで完成した基板を用意しておく。集積回路で実現するシステムの仕様が決定した段階で、2層目Al配線のマスクを用意し、1回のマスク工程だけで組み合わせ論理回路が実現するので、ターンアラウンドタイムを短縮できる。

## 発明の開示

### 発明が解決しようとする課題

#### [0015] (従来の相補型MISFETの問題点)

従来の相補型MISFETにおいては、図28(a)に示すソース領域494、ウェル領域492、基板491により構成されるPNPTランジスタと、ソース領域497、基板491、ウェル領域492により構成されるNPNTランジスタとにより、図28(b)に回路図を示す寄生サイリスターが形成され、電源電圧の変動による変位電流や接合リーク電流などのトリガー作用により電源電圧 $V_{dd}$ とグランド電圧 $V_{ss}$ の間に過大な電流が流れるラッチアップとよばれる現象が発生する。ラッチアップが起きると回路が誤動作する、過熱によりMISFETが破壊されるという問題が発生する。ラッチアップの発生を防止する方法としては、一般的に、(1)P型MISFETとN型MISFETとの間の距離を大きくする。(2)ウェル領域、基板領域の電位を安定にするため、ウェルコンタクト、基板コンタクトを多数形成し、それぞれ電源配線及びグランド配線と接続するなどの対策が行われるが、いずれも回路として動作しない領域が増えることになり、集積度の向上を妨げるという問題がある。

[0016] また、ラッチアップは、上記に説明したP型基板上にNウェルを形成する場合だけでなく、N型基板上にPウェルを形成した場合や、P型、又はN型基板上に、PウェルとNウェルを両方形成した場合にも起こり得る。

[0017] 集積度を向上して、かつラッチアップを防止する方法として、図28(c)に示すようなSOI基板上に相補型MISFETを形成する方法が知られている。相補型MISFETを構成するP型MISFETは、絶縁性の基板501上に形成されたNウェル領域503上に形成さ

れ、N型MISFETは、Pウェル領域502上に形成される。Nウェル領域503とPウェル領域502は絶縁性のトレンチ分離領域504で電氣的に分離されている。構造的に寄生サイリスターが形成されないので、集積度を向上してもラッチアップは発生しないが、図28(a)に示す構造の相補型MISFETを形成するバルク基板に比べ、SOI基板は高価であり、またトレンチ分離領域504の製造工程が複雑であるという問題があった。

[0018] (従来の集積回路の問題点)

従来の集積回路は、シリコン基板などリジッドで平面状の基板に形成されていた。そのため、形状に柔軟性がなく、応用が限定されるという問題があった。

また、複数の回路素子を連続した基板上に形成しているため、少なくとも一個の回路素子が不良になれば、不良部分だけ良品と交換することができず、装置全体が不良になる。そのため、すべての回路素子を欠陥なく製造するために、プロセスのクリーン度向上などプロセス管理を極めて厳密に行う必要があり、特に、装置を大型化しようとする、歩留まり向上の難しさが加速的に増加するという問題があった。

さらに、素子を配置する領域が平面基板の二次元領域に限定されるため、集積度を飛躍的に大きくすることができないという問題があった。

課題を解決するための手段

[0019] 本発明(1)は、N型のMISFETを含む第一の線状体と、P型のMISFETを含む第二の線状体からなり、第一の線状体と第二の線状体との間に分離領域を配置した相補型MISFETである。

[0020] 本発明(2)は、前記MISFETを形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されている、前記発明(1)の相補型MISFETである。

[0021] 本発明(3)は、前記線状体、及び/又は、前記分離領域を有機半導体又は導電性高分子からなる材料により形成した、前記発明(1)又は前記発明(2)の相補型MISFETである。

[0022] 本発明(4)は、前記発明(1)乃至前記発明(3)の相補型MISFETからなる集積回路である。

[0023] 本発明(5)は、複数の前記線状体の間に絶縁性材料を塗布する又は蒸着することにより前記分離領域を形成する、前記発明(1)乃至前記発明(3)の相補型MISFET

の製造方法である。

[0024] 本発明(6)は、前記線状体の表面に絶縁膜を形成することにより前記分離領域を形成する、前記発明(1)乃至前記発明(3)の相補型MISFETの製造方法である。

[0025] 本発明(7)は、線状体に形成された回路素子を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されている複数の前記線状体からなる集積回路である。

[0026] 本発明(8)は、前記集積回路が、半導体メモリー、イメージセンサー、又は、PLAである、前記発明(7)の集積回路である。

[0027] 本発明(9)は、前記線状体を有機半導体又は導電性高分子からなる材料により形成した、前記発明(7)又は前記発明(8)の集積回路である。

[0028] 本発明(10)は、前記線状体の断面形状が、円形、多角形、星型、三日月、花卉、文字形状、その他の任意形状を有している、前記発明(4)又は前記発明(7)乃至前記発明(9)の集積回路である。

#### 発明の効果

[0029] (1)N型MISFETを含む線状体とP型MISFETを含む線状体を電氣的に分離して相補型MISFETを形成することにより、ラッチアップの発生を防止できる。

(2)相補型MISFET又は集積回路を構成する導電性領域、半導体領域、及び/又は、絶縁体領域を有機半導体又は導電性高分子からなる材料により形成することにより、材料コストの低減や製造プロセスの簡単化などにより製造コストの低減に効果がある。

(3)絶縁性材料を塗布する又は蒸着するだけで、線状体を電氣的に分離できるので、簡単なプロセスで素子分離を行うことができる。

(4)回路素子を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成された構造であるため、押出し形成や延伸形成により、複数の領域を有する線状素子を簡単なプロセスで製造することができる。

(5)線状体を織る、あるいは編むことにより作製した平面状の集積回路は、柔軟性があり薄くて軽いため、薄型機器や携帯機器などに用いる電子装置として多様な用途がある。

(6)線状体を束ねることにより作製した線状の集積回路は、柔軟性があり細くて軽いため、配線コードやファイバースコープなどの線状部品又は線状装置に用いる電子装置として多様な用途がある。

(7)線状体を二次元平面状に並べるだけでなく、線状体を配置した平面を積み重ねたり、線状体自体を積み重ねて、三次元の集積回路を形成できるので、集積度を大幅に向上させることが可能である。

(8)線状体を組み合わせて、集積回路を作製できるので、多くの線状体を組み合わせることにより製造設備の規模によらない大型装置を製造できる。特に、半導体メモリーにおいては、記憶容量を飛躍的に大きくすることも可能である。

(9)複数の線状体を用いて集積回路を製造する場合に、製造前に各線状体を検査して、選別した良品だけ用いて集積回路を製造できる。もしくは、集積回路を製造してから、検査を行い、不良部の線状体だけを交換することもできるので、集積回路を大型化した場合に、特にプロセス管理を厳密にしなくても、製造歩留まりを向上できる。

(10)回路素子を形成する線状体に、同時に、発光素子、表示素子、光電池、光センサーなどの線状の光電変換素子を形成する場合に、線状体の断面形状を、多角形、星型、三日月型、花卉型、文字形状など表面積が大きくなる形状にすることにより、光電変換素子の表面積も大きくなり、光電変換効率の向上に効果がある。

#### 図面の簡単な説明

[0030] [図1](a)は、DRAMの回路図であり、(b)は、(a)に示すDRAMのメモリーセルに対応する本発明の集積回路の斜視図である。

[図2](a)乃至(d)は、図1(b)に斜視図を示す本発明の集積回路を構成する線状素子の断面図である。(e)及び(f)は、他の線状素子の断面図である。

[図3](a)は、SRAMの回路図であり、(b)は、(a)に示すSRAMに対応する本発明の集積回路の正面図である。

[図4](a)は、マスクROMの回路図であり、(b)は、(a)に示すマスクROMに対応する本発明の集積回路の斜視図である。

[図5](a)は、E<sup>2</sup>PROMの回路図であり、(b)は、(a)に示すE<sup>2</sup>PROMに対応する本発明の

集積回路の斜視図である。

[図6](a)、(b)は、図5(b)に斜視図を示す本発明の集積回路を構成する線状メモリー素子の斜視図、及び、断面図である。

[図7]イメージセンサーの基本構成を説明するための回路図である。

[図8]図7に回路図を示す本発明の集積回路を構成する線状素子の斜視図である。

[図9](a)乃至(d)は、図8に示す本発明の集積回路を構成する線状素子の断面図である。

[図10]図7に回路図を示す本発明の集積回路の斜視図である。

[図11]AND平面とOR平面により構成されるPLAの回路図である。

[図12]図11に回路図を示す本発明の集積回路を構成する線状素子の斜視図である。

[図13](a)及び(b)は、図12に示す本発明の集積回路を構成する線状素子の断面図である。

[図14](a)は、PLAのAND平面の回路図であり、(b)は、(a)に示す回路図に対応する本発明の集積回路の斜視図である。

[図15](a)は、PLAのOR平面の回路図であり、(b)は、(a)に示す回路図に対応する本発明の集積回路の斜視図である。

[図16]本発明の相補型MISFETを構成する線状素子の斜視図である。

[図17](a)乃至(d)は、本発明の相補型MISFETを構成する線状素子の断面図である。

[図18](a)乃至(c)は、本発明の相補型MISFETにより構成したインバータを説明するための図である。

[図19](a)乃至(c)は、本発明の相補型MISFETにより構成したNANDを説明するための図である。

[図20](a)乃至(c)は、本発明の相補型MISFETにより構成したインバータトランスファークロッシングを説明するための図である。

[図21](a)乃至(c)は、本発明の相補型MISFETにより構成したDFFを説明するための図である。

[図22](a)は、線状素子の製造に用いられる押し出し装置を示す正面図である。(b)は



、線状素子の製造に用いられる押し出し装置で使用する型の平面図である。

[図23]本発明の集積回路の配線形成方法に係り、(a)は、配線形成工程における集積回路の斜視図であり、(b)乃至(e)は、配線形成工程の工程順断面図である。

[図24](a)は、従来の半導体メモリー又はPLAを構成する平面状素子の断面図であり、(b)は、マスクROMの回路図である。

[図25](a)、(b)は、従来のマスクROMの平面図である。

[図26](a)は、従来のイメージセンサーを構成する平面状素子の断面図であり、(b)は、イメージセンサーの回路図の一部であり、(c)は、(b)に対応する従来のイメージセンサーの平面図である。

[図27](a)は、従来のPLAのAND平面の回路図であり、(b)は、(a)に対応する従来のPLAの平面図である。

[図28](a)は、従来の相補型MISFETの構造を示す断面図である。(b)は、従来の相補型MISFETにおいて発生するラッチアップの発生原因を説明するための回路図である。(c)は、従来の他の相補型MISFETの構造を示す断面図である。

#### 符号の説明

- [0031] 1、61 MISFET  
2 キャパシター  
3、64、83 ワード線  
4、65、84 ビット線  
5 線状キャパシター  
6、66、132、192、251、252、253、271、272、273、274 線状MISFET  
51、331 線状N型MISFET  
52、332 線状P型MISFET  
334、335 線状体  
7、9、111、133、141、214、307、311、327、331 素子領域  
8、10、112、134、142、215、313、333 素子分離領域  
11、13 電極領域  
12、15、21、25、31、32、33、39、44、110、113、138、139、140、151、152、

153、209、210、211、301、321、312、332、317、318 絶縁体領域  
16、34、43、55、58、143、201、302、322、316 ゲート電極  
17、35、42、144、202、303、323 ゲート絶縁体領域  
18、37、40、105、147、205、306、326 半導体領域  
19、36、41、106、145、203、304、324 ソース領域  
20、38、39、107、146、204、305、325 ドレイン領域  
22、53、56、67、86、108、149、207、254、275、308、314 ソース電極  
23、54、57、109、150、208、211、212、213、255、276、315 ドレイン電極  
81 メモリー素子  
62、82 接続ノード  
63 非接続ノード  
85 線状メモリー素子  
68、87 コンタクト層  
69、88 配線層  
101 制御ゲート電極  
102 第一のゲート絶縁体領域  
103 浮遊ゲート電極  
104 第二のゲート絶縁体領域  
121 垂直走査回路  
122 水平走査回路  
123 フォトダイオード  
124 垂直スイッチMISFET  
125 垂直選択線  
126、193 垂直信号線  
127 水平スイッチMISFET  
128 出力アンプ  
129 出力線  
131、191 線状フォトダイオード

- 135 アノード領域
- 136 カソード領域
- 137 カソード電極
- 256、257 AND平面の入力配線
- 258 AND平面の出力配線
- 259、279 接地配線
- 277 OR平面の入力配線
- 278 OR平面の出力配線
- 260、280 ソースコンタクト
- 194、261、281 ドレインコンタクト
- 341 押し出し装置
- 342 原料1容器
- 343 原料2容器
- 344 原料3容器
- 345、350 型
- 346 線状素子
- 347 ローラ
- 348 ドーピング処理部
- 349 電極形成処理部
- 361 基板
- 362 光反応性有機膜
- 363 線状素子
- 364 マスク
- 365 絶縁体領域
- 366 導電体領域
- 401、451、491 平面基板
- 402、452 素子分離領域
- 403、421、431、456、468、474 ゲート電極

404、455 ゲート絶縁膜  
479 ゲート配線  
405、422、432、453、475 ソース領域  
406、423、433、454、476 ドレイン領域  
407、457 ソース電極  
408、458 ドレイン電極  
424、434、477 ソースコンタクト  
425、435、478 ドレインコンタクト  
426、436、480 ソース配線  
427、437、469、481 ドレイン配線  
459 カソード領域  
460 カソード電極  
409、461 層間絶縁膜  
410、467 MISFET  
462 フォトダイオード  
463 垂直スイッチMISFET  
464 垂直選択線  
465 垂直信号線  
411 ワード線  
412 ビット線  
413 接続ノード  
414 非接続ノード  
471 AND平面入力配線  
473 AND平面出力配線  
491 P型基板  
492、503 N型ウェル領域  
502 P型ウェル領域  
493、505 N型ウェルコンタクト領域

494、506 P型ソース領域  
495、507 P型ドレイン領域  
496、508 N型ドレイン領域  
497、509 N型ソース領域  
498、510 P型基板コンタクト領域  
499、500、511、512 ゲート電極  
501 絶縁性基板

発明を実施するための最良の形態

[0032] 以下、本発明における用語の定義を明らかにすると共に、本発明の最良形態について説明する。尚、本発明の技術的範囲は、以下に述べる最良形態(構造、形状や材料等)により何ら限定されるものではない。

[0033] (用語の定義)

[0034] 「線状体」、「線状素子」:

「線状体」とは、細長い糸状又は繊維状の固体物質のことであり、本発明においては、線状体の中に、トランジスター、キャパシター、抵抗などの回路素子を形成して、相補型MISFETや集積回路を作製している。線状体に形成された回路素子を、「線状素子」と呼ぶ。素子領域と分離領域を交互に配置することにより、1本の「線状体」の中に複数の回路素子を形成することが可能である。

[0035] 「素子領域」、「分離領域」:

「素子領域」とは、回路素子を構成する領域のことで、例えば、MISFETにおけるゲート電極、ゲート絶縁膜、ソース、ドレイン、半導体領域のことである。特に、MISFETの説明において「半導体領域」という場合は、半導体材料からなる領域すべてを示すものではなく、ソースとドレインの間に挟まれ、ゲート電圧の制御によりチャネルを形成する領域を含む連続した半導体領域のことを意味するものとする。

また、「分離領域」とは、回路素子と他の回路素子を電氣的に分離する領域のことを意味する。

[0036] 「有機半導体」、「導電性高分子」:

物質は、複雑な炭素化合物を含むか否かにより「有機物」と「無機物」に分類され、

導電率に応じて「導電体」、「半導体」、「絶縁体」に分類される。また、「分子量」の大小により「高分子」、「低分子」に分類される。

「有機半導体」とは、有機物からなる半導体のことで、無機半導体と同様に、不純物をドーピングすることで、P型半導体の場合は正孔をキャリアとする導電性を示し、N型半導体の場合は電子をキャリアとする導電性を示す。有機半導体には、分子量が小さい物質も含まれる。

「導電性高分子」とは、分子量が大きい物質であって、一般的にドーピングを行うことにより高い導電性を示す材料のことである。導電性高分子には、複雑な炭素化合物を含まない無機物も含まれる。

[0037] 「からなる」とは、「のみからなる」という概念と「含む」という概念を意味する。従って、例えば、本発明(4)に係る集積回路は、相補型MISFET以外の回路素子を含有していてもよい。

[0038] (相補型MISFET)  
(線状素子)

図16は、本発明の相補型MISFETを構成するN型MISFETとP型MISFETの斜視図である。本発明の相補型MISFETを構成する線状体334と線状体335は、それぞれ独立した線状体として形成されており、線状体334には複数のN型MISFETが形成されており、線状体335には複数のP型MISFETが形成されている。線状体334に形成されたN型MISFET307は、絶縁体領域301、ゲート電極302、ゲート絶縁体領域303、ソース領域304、半導体領域306、及びドレイン領域305により構成され、線状体335に形成されたP型MISFET332は、絶縁体領域321、ゲート電極322、ゲート絶縁体領域323、ソース領域324、半導体領域326、及びドレイン領域325により構成される。

[0039] また、N型MISFET、P型MISFETのいずれにおいても、絶縁体領域を線状体の中心領域とするかわりに、導電体領域や中空領域を線状体の中心領域とした場合でも、線状体はMISFETとして機能する。

[0040] N型MISFET307では、半導体領域306に対しゲート電極302に閾値電圧よりも高い電圧を印加すると、ゲート絶縁体領域303に接する半導体領域306の表面の電子

密度が増加してチャネルが形成され、N型領域であるソース領域304とドレイン領域305が導通する。半導体領域306の電位は外部電圧を印加することにより制御することが好ましい。さらに、半導体領域306の電位はソース領域と同じ電位とすることが好ましい。

[0041] P型MISFET327では、半導体領域326に対しゲート電極322に閾値電圧よりも低い電圧を印加すると、ゲート絶縁体領域323に接する半導体領域326の表面の正孔密度が増加してチャネルが形成され、P型領域であるソース領域324とドレイン領域325が導通する。半導体領域326の電位は外部電圧を印加することにより制御することが好ましい。さらに、半導体領域326の電位はソース領域と同じ電位とすることが好ましい。

[0042] 図16及び図17(a)乃至(f)により、線状体に形成されたMISFETの電極構造及び断面構造について説明する。図16に示すように、線状体334におけるMISFET307のソース領域304、ドレイン領域305、ゲート電極302は、それぞれ線状体334の表面のソース電極領域308、ドレイン電極領域309、ゲート電極領域310と電氣的に接続している。電極分離領域312は、ソース電極領域308、ドレイン電極領域309、ゲート電極領域310を電氣的に分離するための領域である。N型MISFET307は、MISFET分離領域313によりN型MISFET311と電氣的に分離されている。

[0043] 一方、線状体335におけるMISFET327のソース領域324、ドレイン領域325、ゲート電極322は、それぞれ線状体の表面のソース電極領域328、ドレイン電極領域329、ゲート電極領域330と電氣的に接続している。電極分離領域332は、ソース電極領域328、ドレイン電極領域329、ゲート電極領域330を電氣的に分離するための領域である。P型MISFET327は、MISFET分離領域333によりP型MISFET331と電氣的に分離されている。

[0044] 以下、断面構造については、N型MISFETに関して説明を行うが、P型MISFETにおいても同様の構造をとるものとする。図17(a)は、MISFET領域307における線状体の断面図である。絶縁体領域301を中心に、ゲート電極302、ゲート絶縁体領域303、ソース領域304、ドレイン領域305、半導体領域306が配置されている。図17(b)は、ソース電極領域308における線状体の断面図である。図17(a)を断面図とする線状

体を形成後、半導体領域306の表面をソース領域304が露出するようにエッチング又は研磨などの方法で除去し、その周りに導電体領域の塗布などによりソース電極領域314を形成する。図17(c)は、ドレイン電極領域309における線状体の断面図である。図17(a)を断面図とする線状体を形成後、半導体領域306の表面をドレイン領域305が露出するようにエッチング又は研磨などの方法で除去し、その周りに導電体領域の塗布などによりドレイン電極領域315を形成する。図17(d)は、ゲート電極領域310における線状体の断面図である。図17(a)を断面図とする線状体を形成後、半導体領域306、ソース領域304、ドレイン領域305、ゲート絶縁体領域303をエッチング又は研磨などの方法で除去し、その周りに導電体領域の塗布などによりゲート電極領域316を形成する。図17(e)は、電極分離領域312における線状体の断面図である。図17(a)を断面図とする線状体を形成後、半導体領域306をエッチング又は研磨などの方法で除去し、その周りに絶縁体領域の塗布などにより絶縁分離領域317を形成する。図17(f)は、MISFET分離領域313における線状体の断面図である。図17(a)を断面図とする線状体を形成後、半導体領域306、ソース領域304、ドレイン領域305、ゲート絶縁体領域303、ゲート電極302をエッチング又は研磨などの方法で除去し、その周りに絶縁体領域の塗布などにより絶縁分離領域318を形成する。

[0045] (論理回路セル)

図18乃至図21は本発明の相補型MISFETにより論理回路セルを作製した実施例を説明するための図である。

図18(a)および(b)は、それぞれ、インバータのシンボル、および回路図である。図18(c)は、本発明の相補型MISFETにより構成したインバータの正面図である。

図19(a)及び(b)は、それぞれ、NANDのシンボル、および回路図である。図19(c)は、本発明の相補型MISFETにより構成したNANDの正面図である。

図20(a)及び(b)は、それぞれ、トランスファージェートのシンボル、および回路図である。図20(c)は、本発明の相補型MISFETにより構成したトランスファージェートの正面図である。

図21(a)及び(b)は、それぞれ、DFFのシンボル、および回路図である。図21(c)は、本発明の相補型MISFETにより構成したDFFの正面図である。



[0046] 以上、本発明の相補型MISFETを用いて論理回路セルを作製する実施例として、インバータ、NAND、トランスファージョイント、DFFを作製した例について示したが、本発明の相補型MISFETを用いて、例えば、NOR、NAND、OR、EXOR、EXNOR、MUX、TFF、JKFFなどの他の論理回路セルについても作製することが可能である。

[0047] また、線状体を束ねて線状の論理回路セルを作製する、又は、線状体を平面基板上に配置して平面状の論理回路セルを作製することが可能である。

本発明の相補型MISFETを製造する時に、線状体の表面に絶縁膜を形成したり、線状体と線状体を離間して絶縁性材料で充填するなどの方法で、N型MISFETとP型MISFETを絶縁分離することは、従来の平面基板上に相補型MISFETを形成する場合と異なり、比較的簡単な工程で実施することが可能であり、高価な材料を必要としない。

[0048] 例えば、線状体を絶縁性材料からなる溶液に浸して線状体表面に前記溶液を付着させてから、乾燥させる方法、又は、線状体に絶縁性材料を塗布したり蒸着する方法により、線状体の表面に絶縁膜を形成することが可能である。

また、複数の線状体を離間して配置した上から、スピンコート法などの塗布法又は蒸着により絶縁性の材料を充填することができる。また、線状体を絶縁性の支持体により支持し、線状体と線状体の間を空間により離間する、又は、空間の一部に絶縁性材料を充填することも可能である。

本発明の相補型MISFETは、寄生サイリスターが形成されない絶縁分離構造を安価な材料を用い、比較的簡単なプロセスにより製造することができ、ラッチアップの発生を防止できる。

[0049] 本発明の相補型MISFETは、線状体に複数のMISFET又は論理回路セルを形成しているため、各線状体に同一サイズのMISFETや共通の回路定数を持つ論理回路セルを形成することが容易であり、従って、アレイ状に回路素子あるいは回路セルを配置した集積回路の製造に適している。

本発明の相補型MISFETを用い、予め複数種類の論理回路セルを形成しておき、配線用マスクのみの修正によりユーザが必要とする集積回路を作製するゲートアレイや、プログラム可能なメモリーに対しプログラムを行い、メモリーに書き込まれたデ

ータによりセル間の接続を切り替えることで、ユーザが必要とする集積回路を作製するFPGA(フィールド・プログラマブル・ゲートアレー)と呼ばれる集積回路を作製することも可能である。

[0050] (集積回路)

本発明の集積回路を、半導体メモリー、イメージセンサー、PLAの具体例を参照しながら説明する。

[0051] (半導体メモリー)

半導体メモリーについては、DRAM、SRAM、マスクROM、E<sup>2</sup>PROMの具体例について順に説明する。

[0052] (DRAM)

図1(a)は、DRAMの回路図である。DRAMは、電荷を蓄積するキャパシター2、キャパシターを選択するスイッチング用のMISFET1、スイッチング用のMISFETを制御するワード線3、データの読み出し、書き込みを行うビット線4から構成される。電子情報は、キャパシター2に電荷が蓄積されているかいないかで記録される。例えば、ワード線Wi、ビット線Biに対応するキャパシターに書き込みを行うときは、ワード線WiをHighにして、MISFETをONにし、ビット線BiをHighにすると、キャパシターに電流が流れ、電荷が蓄積される。あるいは、ビット線BiをLowにすると、キャパシターから電流が流れ、電荷を引き抜くことができる。また、ワード線Wi、ビット線Biに対応するキャパシターからデータを読み出すときは、ワード線WiをHighにして、MISFETをONにし、ビット線Biの電圧を図示しないセンスアンプで検知する。

[0053] 図1(a)に示すDRAMでは、トランジスタアレイを構成するMISFETが、すべてN型MISFETの場合について説明したが、P型のMISFETによりトランジスタアレイを構成した場合でも、ワード線をLowにしてスイッチング用MISFETをONにするなどの論理変更によりP型MISFETからなるDRAMを実現するのは容易である。この点に関しては、後述するマスクROMやE<sup>2</sup>PROMにおいても同様であり、従って、例えば、半導体材料によっては電子よりも正孔の移動度が大きい有機半導体を用いたMISFETを使用しても本発明の半導体メモリーを実現することは可能である。

また、DRAM、及び、後述するSRAM、マスクROM、E<sup>2</sup>PROMには、例えば、センスア

ンプなどの周辺回路があるが、周辺回路に関しても、線状素子で形成することが可能である。

[0054] (半導体メモリーを構成する線状素子)

図1(b)は、図1(a)に示すDRAMのメモリーセルに対応する本発明の集積回路の斜視図である。図1(b)においては、線状MISFET6と線状キャパシター5からなるメモリーセルが、線状体の長手方向に2個並んだ部分を示している。

[0055] 図2(a)乃至(d)は、図1(b)に斜視図を示す線状素子の断面図である。図2(a)は、線状MISFETの素子領域18における断面図であり、図2(b)は、絶縁分離領域10における断面図である。また、図2(c)は、線状キャパシターの素子領域7における断面図であり、図2(d)は、絶縁分離領域8における断面図である。

[0056] 図2(a)に示すように、MISFETの素子領域では、中心にゲート電極16を有し、その外側に、ゲート絶縁体領域17、ソース領域19、ドレイン領域20、半導体領域18が形成されている。さらに、その外側に、ソース電極22、ドレイン電極23、絶縁体領域21が形成されている。ソース電極22は、ソース領域19よりも円周方向に大きく形成しており、ソース領域19と接するだけでなく半導体領域18とも接しているが、このことにより、ソース電極22とソース領域19、半導体領域18との電氣的な接続を行い、半導体領域18の電位をソース電極22と同じ電位にすることができる。一方、ドレイン電極23は、ドレイン領域20よりも円周方向に小さく形成しており、ドレイン電極23と半導体領域18の短絡を防止している。

[0057] 図2(b)に示すように、MISFETの絶縁分離領域では、ゲート電極16のまわりに絶縁体領域17、31、32が形成され、MISFETと隣接するMISFETのソース領域、ドレイン領域、半導体領域を電氣的に分離している。

[0058] 図2(c)に示すように、キャパシターの素子領域では、中心に第一の電極11を有し、その外側に、電荷を蓄積する絶縁体領域12、第二の電極13が順に形成されている。

[0059] 図2(d)に示すように、キャパシターの絶縁分離領域では、第一の電極11のまわりに絶縁体領域33が形成され、キャパシターと隣接するキャパシターの第二の電極を電氣的に分離している。

- [0060] 線状MISFETにおいて、ソース領域19、ソース電極22、ドレイン領域20、ドレイン電極23、半導体領域18は絶縁体領域25により隣接するMISFETの回路領域と電氣的に分離されているが、ゲート電極16は線状MISFET6を構成する複数のMISFETにおいて連続している。このことにより、図1(a)に示すワード線を容易に形成することができる。
- [0061] 線状キャパシターにおいて、第二の電極13は、絶縁体領域15により隣接するキャパシターの第二の電極と電氣的に分離されているが、第一の電極11は線状キャパシターを構成する複数のキャパシターにおいて連続している。このことにより、図1(a)にキャパシターから接地電位への配線を容易に形成することができる。
- [0062] また、図2(a)に示す構造のMISFETだけでなく、他の構造のMISFETを用いて集積回路を形成することも可能である。図2(e)は、線状素子断面の中心にゲート電極34を配置して、その外側にゲート絶縁体領域35、ソース領域36、半導体領域37、ドレイン領域38、絶縁体領域39を順次形成した線状MISFETである。同様に、図2(f)は、線状素子断面の中心にドレイン領域39を配置して、その外側に半導体領域40、ソース領域41、ゲート絶縁体領域42、ゲート電極領域43、絶縁体領域44を順次形成した線状MISFETである。図2(e)及び図2(f)に示す線状MISFETは、ソース領域が開口部を有し、開口部上の半導体領域に接してドレイン領域が形成されている。そのため、チャネル長を半導体領域の厚さにより制御できる。従って、チャネル長の微細化が容易で、イメージセンサーの小型化、高速化が可能になる。
- [0063] また、図2(e)及び図2(f)において、ソース領域をドレイン領域、ドレイン領域をソース領域と置き換えた構造の線状素子も、MISFETとして正常に動作し、本発明の半導体メモリを構成することができる。図2(e)及び図2(f)に示す構造のMISFETは、半導体メモリだけでなく、イメージセンサー、PLA又は論理回路セルを構成するMISFETとして用いることも可能である。
- [0064] (SRAM)

図3(a)は、SRAMの回路図である。SRAMは、P型MISFET・Q3、Q4とN型MISFET・Q1、Q2からなるフリップフロップに電荷を蓄積して電子情報を記録する。メモリーセルの選択はN型MISFET・Q5、Q6により行われる。メモリーセルに書き込みを行うときは、

ワード線WをHighにして、Q5、Q6をONにした状態で、ビット線D、DBの電位を制御する。例えば、ビット線DをHighにした時は、ビット線DBは、その反転信号であるLowにする。ワード線WをLowにして、Q5、Q6をOFFにすることで書き込み時に入力された電荷が保存される。また、読み出しを行うときは、Q5、Q6をONにして、ビット線の電圧を図示しないセンスアンプで検知する。SRAMは、DRAMよりもメモリーセルを構成する素子数は多いが、リフレッシュを行わなくてもデータが消滅しない、低消費電力という特徴を持つ。

- [0065] 図3(b)に、図3(a)に示すSRAMに対応する本発明の集積回路の正面図を示す。SRAMは、相補型MISFETから構成されているが、本発明の線状MISFETからなるSRAMは、独立した線状のN型MISFET51と線状のP型MISFET52で構成する。図3(b)に示す線状MISFETは、一本の線状体に複数のMISFETが間欠的に形成されており、各MISFETは素子領域に隣接して電極領域を有し、隣接するMISFETとは絶縁分離領域により電氣的に分離されている。電極領域としては、例えば、N型MISFETであるQ1は、ソース電極53、ドレイン電極54、ゲート電極55を有している。また、P型MISFETであるQ3は、ソース電極56、ドレイン電極57、ゲート電極58を有している。VSS、VDD、W、D、DBで示す配線と各MISFETの電極を接続するコンタクトに関しては、図3(b)の中では、便宜上、黒丸と線で接続しているように書いてあるが、実際の半導体メモリーにおける接続は、本発明の明細書において後述する配線形成方法を用いて、光反応性有機材料などからなる導電性材料により電氣的に接続する。

[0066] (マスクROM)

図4(a)は、マスクROMの回路図である。メモリーセルは、ソースを接地電位に接続した1個のMISFET61から構成され、MISFETのゲートはメモリーセルを選択するワード線64に接続されている。MISFETのドレインに関しては、データの読み出しを行うビット線に対し、接続するノード62と接続しないノード63が選択的に形成されている。例えば、ビット線に負荷を介して電源電位に接続して、ビット線の電圧を検知するものとする、接続ノード62を有するメモリーセルのビット線はMISFETがONになると接地に対し電流が流れるのでLowになるが、非接続ノードを有するメモリーセルは、MISFETがONになっても接地に対し電流が流れずHighとなる。従って、各メモリーセルの接続

ノード、非接続ノードを選択的に形成することにより、電子情報を記録することができる。

[0067] 図4(b)は、図4(a)に示すマスクROMに対応する本発明の半導体メモリーの斜視図である。図4(b)において、線状体66には、複数のMISFETが、線状体の長手方向に間欠形成されている。図4(b)に示す形態においては、各線状体に形成された複数のMISFETのソース電極が互いに共通であり、また、ゲート電極も互いに共通である。

[0068] 各線状MISFETのソース電極67はいずれも接地電位に接続する。また、各線状MISFETのゲート電極は図4(a)に示すワード線に相当する。線状体66は、ドレイン電極側がコンタクト層68上に接するように、コンタクト層68上に配置する。コンタクト層には隣接して配線層69を配置する。コンタクト層68、及び、配線層69上には、図示していないが、後述する配線形成方法により形成するコンタクトパターン、及び、配線パターンが形成され、図4(a)に示す回路図における各MISFETの電気的接続を実現している。図4(b)においては、線状体66とコンタクト層68との間は直接接続しているが、その間に線状体の支持基板を介在させることも可能であり、線状MISFETの配置を変えずに、配線層69、あるいは、コンタクト層69を交換することが可能になる。従って、予め、異なるパターンのコンタクト層、あるいは、配線層を用意して、必要に応じパターンを交換することも可能であり、書き換え可能なマスクROMとして使用することができる。また、線状のヒューズ素子と組み合わせることにより、電流あるいはレーザー光を用いてヒューズを切断することで、データの書き換えを行うことも可能である。

[0069] また、ROMの回路構成としては、メモリーセルを直列接続したNAND型ROMと、メモリーセルを並列接続したNOR型ROMがある。本発明の明細書では、図4(a)に示すマスクROM、及び、後述する図5(a)に示す $E^2$ PROMに関しては、NOR型ROMの回路構成に関して説明してあるが、NAND型ROMの回路構成をとった場合であっても、ROMを構成するMISFETとして線状のMISFETを使用すれば、本発明の効果がNOR型ROMの場合と同様に得られることは明らかである。

[0070] ( $E^2$ PROM)

図5(a)は、 $E^2$ PROMの回路図である。メモリーセルは、ソースを接地電位に接続した1個のメモリーセル81から構成される。 $E^2$ PROMにおけるメモリーセルは、MISFETと

類似した構造を持つが、ソース、ドレインと接する第一のゲート絶縁体の上に電氣的に他の領域と分離した浮遊ゲート電極を持ち、浮遊ゲート電極上に第二のゲート絶縁体を介して、制御ゲート電極が形成されている点でMISFETと異なる。E<sup>2</sup>PROMでも、図4(a)に回路図を示すマスクROMと同様にメモリーセルのソースを接地電位と接続し、制御ゲート電極をワード線と接続しているが、マスクROMと異なり、全てのメモリーセルのドレインを対応するビット線と接続している。E<sup>2</sup>PROMにおけるデータの記録は、浮遊ゲートに対する電子の注入を利用して行われる。浮遊ゲートに電子の注入が行われていないメモリーセルでは、制御ゲート電圧をHighにすると、例えば、半導体領域がP型のメモリーセルの場合(N型のMISFETに対応するメモリーセルの場合)、メモリーセルがONになりビット線が接地電位に対し導通する。しかし、浮遊ゲートに電子が注入されたメモリーセルでは、制御ゲート電圧をHighにしても、浮遊ゲートに蓄積された電子のためにメモリーセルがONにならず、ビット線が接地電位に対し導通しない。

[0071] データの書き込み、すなわち、浮遊ゲートに対する電子の注入は、ゲートに高い電圧を印加して行う。例えば、制御ゲート電圧を9V、ソース電圧を0V、ドレイン電圧を5Vとすると、ゲート-ソース間の高電界により、ソースから浮遊ゲートにホットエレクトロンが注入される。さらに、データの消去、すなわち、浮遊ゲートからの電子の引き抜きは、ゲートに低い電圧を印加して行う。例えば、制御ゲート電圧を-9V、ソース電圧を5V、ドレイン電圧を0Vとすると、ゲート-ソース間の高電界により、浮遊ゲートからソースに向かって、トンネル効果により電子を引き抜くことができる。

[0072] 図5(b)は、図5(a)に示すE<sup>2</sup>PROMに対応する本発明の半導体メモリーの斜視図である。

図5(b)において、線状メモリーセル85には、複数のメモリーセルが、線状体の長手方向に間欠形成されている。図5(b)に示す形態においては、各線状体に形成された複数のメモリーセルのソース電極が互いに共通であり、また、ゲート電極も互いに共通である。

[0073] 各線状メモリーセルのソース電極はいずれも接地電位に接続する。また、各線状メモリーセルのゲート電極は図5(a)に示すワード線に相当する。線状体85は、ドレイン

電極側がコンタクト層87上に接するように、コンタクト層87上に配置する。コンタクト層には隣接して配線層88を配置する。コンタクト層87、及び、配線層88上には、図示していないが、後述する配線形成方法により、コンタクトパターン、及び、配線パターンが形成されており、図5(a)に示す回路図における各メモリーセルの電氣的接続を実現している。

[0074] 図6(a)は、図5(b)に示すE<sup>2</sup>PROMのメモリーセルに対応する本発明の線状メモリーセルの斜視図である。線状メモリーセルの断面において、中心に制御ゲート電極101を有し、その外側に、第一のゲート絶縁体領域102、浮遊ゲート電極103、第二のゲート絶縁体領域104、ソース領域106、ドレイン領域107、半導体領域105が順に形成されている。さらに、その外側に、ソース電極108、ドレイン電極109、絶縁体領域110が形成されている。ソース電極108は、ソース領域106よりも円周方向に大きく形成しており、ソース領域106と接するだけでなく半導体領域105とも接しているが、このことにより、ソース電極108とソース領域106、半導体領域105との電氣的な接続を行い、半導体領域105の電位をソース電極108と同じ電位にすることができる。一方、ドレイン電極109は、ドレイン領域107よりも円周方向に小さく形成しており、ドレイン電極109と半導体領域105の短絡を防止している。

[0075] 線状素子の長手方向を見てみると、素子領域111と絶縁分離領域112が交互に配置されている。線状体上に間欠的に形成された複数のメモリーセルにおいて、制御ゲート電極とソース電極は連続して形成されているが、浮遊ゲート電極、ソース領域、ドレイン領域、半導体領域、ドレイン電極は絶縁分離領域112により電氣的に分離されている。

[0076] 図6(b)は、絶縁分離領域112における線状体の断面図である。断面の中心に制御ゲート電極101を配置して、その外側に、絶縁体領域102、113、ソース電極108が形成されている。

[0077] (イメージセンサー)

図7は、イメージセンサーの基本構成を説明するための回路図である。図7に示すイメージセンサーは、フォトダイオード123とN型の垂直スイッチMISFET124からなる画素が二次元状に配置された画素アレイと、垂直走査回路121、水平走査回路122



、水平スイッチMISFET127、出力アンプ128からなる周辺回路から構成される。

[0078] フォトダイオード123を構成するPN接合に光が照射されると、電子正孔対が発生し、発生した電子は、N型のカソード領域を通して、フォトダイオードに接続した垂直スイッチMISFET124のソース領域に蓄積される。垂直スイッチMISFET124を制御する垂直走査回路121はシフト・レジスターとして機能し、複数の垂直選択線125の中の一本の選択線がクロックなどの制御信号に同期して順にHighになる。Highになった選択線にゲート電極が接続されたMISFETはONになる。同様に、水平走査回路2の制御により、複数の水平スイッチMISFET127の中から一つのMISFETがONになる。垂直スイッチMISFETと水平スイッチMISFETが同時にONになった垂直MISFETのソース領域に蓄積された電子が、出力アンプ128に送られ出力線129から出力される。

[0079] 以上の説明において、画素を構成するMISFETがN型MISFETの場合について説明したが、P型MISFETの場合でも、イメージセンサーを実現することは可能である。例えば、半導体材料によっては電子よりも正孔の移動度が大きい有機半導体を用いたMISFETを使用しても本発明のイメージセンサーを実現することができる。

[0080] また、図7に示すように、イメージセンサーは、画素を構成するMISFETとフォトダイオード以外に、垂直走査回路121、水平走査回路122、水平スイッチMISFET127、出力アンプ128から構成されるが、これらの回路に関しても、線状素子を用いて形成することが可能である。

[0081] (イメージセンサーを構成する線状素子)

図8は本発明のイメージセンサーを構成する線状フォトダイオードと線状MISFETの斜視図である。線状フォトダイオード131は、一本の線状体の中に複数のフォトダイオードが間欠的に形成されている。同様に、線状MISFET132は、一本の線状体の中に複数のMISFETが間欠的に形成されている。

[0082] 線状フォトダイオードの断面において、中心にP型半導体領域からなるアノード領域135を有し、その外側に、N型の半導体領域からなるカソード領域136、絶縁体領域138、カソード電極137が形成されている。絶縁体領域138は、検知する光を透過する材料からなり、アノード領域135とカソード領域136からなるPN接合が光を検知でき

るように形成する。線状フォトダイオードの長手方向においては、素子領域133と絶縁分離領域134が順に形成されており、絶縁分離領域134により、各フォトダイオードのカソード領域136とカソード電極137が電氣的に分離されている。一方、アノード領域135は、線状体の中心に連続して形成されている。

- [0083] 線状体の長手方向において、線状フォトダイオードの素子領域133、カソード電極137、線状MISFETの素子領域141、及び、ソース電極149は、同じ長さとすることが好ましい。また、線状フォトダイオードの絶縁分離領域134と線状MISFETの絶縁分離領域142は、同じ長さとすることが好ましい。線状体を位置合わせしてから、隣接して接触、あるいは接着させるだけで、対になるフォトダイオードとMISFETを電氣的に接続することができ、イメージセンサーの製造が容易になる。
- [0084] 図9(a)乃至(d)は、図8に斜視図を示す線状素子の断面図である。図9(a)は、線状MISFETの素子領域141における断面図であり、図9(b)は、絶縁分離領域142における断面図である。また、図9(c)は、線状フォトダイオードの素子領域133における断面図であり、図9(d)は、絶縁分離領域134における断面図である。
- [0085] 図9(a)に示すように、MISFETの素子領域では、中心にゲート電極143を有し、その外側に、ゲート絶縁体領域144、ソース領域145、ドレイン領域146、半導体領域147が形成されている。さらに、その外側に、ソース電極149、ドレイン電極150、絶縁体領域151が形成されている。ソース電極149は、ソース領域145よりも円周方向に大きく形成してあり、ソース領域145と接するだけでなく半導体領域147とも接しているが、このことにより、ソース電極149とソース領域145、半導体領域147との電氣的な接続を行い、半導体領域147の電位をソース電極149と同じ電位にすることができる。一方、ドレイン電極150は、ドレイン領域146よりも円周方向に小さく形成してあり、ドレイン電極150と半導体領域147の短絡を防止している。
- [0086] 図9(b)に示すように、MISFETの絶縁分離領域では、ゲート電極143のまわりに絶縁体領域144、152が形成され、MISFETと隣接するMISFETのソース領域、ドレイン領域、半導体領域を電氣的に分離している。
- [0087] 図9(c)に示すように、フォトダイオードの素子領域では、中心にアノード領域135を有し、その外側に、カソード領域136、カソード電極137、絶縁体領域138が順に形

成されている。

- [0088] 図9(d)に示すように、フォトダイオードの絶縁分離領域では、アノード領域135のまわりに絶縁体領域153が形成され、フォトダイオードと隣接するフォトダイオードのカソード電極を電氣的に分離している。
- [0089] 線状MISFETにおいて、ソース領域145、ソース電極149、ドレイン領域146、ドレイン電極150、半導体領域147は絶縁体領域140により隣接するMISFETの素子領域と電氣的に分離されているが、ゲート電極143は線状MISFETを構成する複数のMISFETにおいて連続している。このことにより、図7に示す垂直選択線125を容易に形成することができる。
- [0090] 線状フォトダイオードにおいて、カソード領域136、カソード電極137は、絶縁体領域139により隣接するフォトダイオードの素子領域と電氣的に分離されているが、アノード領域135は線状フォトダイオードを構成する複数のフォトダイオードにおいて連続している。このことにより、図7に示すフォトダイオードから接地電位への配線を容易に形成することができる。
- [0091] 以上の説明では、光電変換素子としてフォトダイオードを用い、X-Y平面における画素の信号を垂直走査回路、水平走査回路などのデジタル・シフト・レジスターにより選択して取り出す方式におけるイメージセンサーについて説明したが、光電変換素子としてSITを用いた場合や、光電変換素子の信号をCCDによるアナログ・シフトレジスターにより出力回路に転送する方式を用いた場合についても、SITあるいはCCDを線状素子により形成することにより本発明の効果が得られる。
- [0092] 図10は、本発明のイメージセンサーの斜視図である。本発明のイメージセンサーは、受光面側に配置した複数の線状フォトダイオード191、線状フォトダイオード191に隣接して配置した複数の線状MISFET192、及び画像信号を転送する垂直信号線193から構成される。線状フォトダイオード191は、線状体上に複数のフォトダイオードが絶縁分離領域により分離されて間欠的に形成されている。ただし、各フォトダイオードの断面中心に配置されたアノード領域は、線状体において連続しており、接地電位に接続している。線状MISFET192は、線状体に複数のMISFETが絶縁分離領域により分離されて間欠的に形成されている。線状MISFETにおいても、断面中心の

ゲート領域は、線状体において連続しており、MISFETの制御信号線である垂直選択線に接続している。線状フォトダイオード191のアノード領域のまわりに配置されたカソード領域はカソード電極、ソース電極を介して、隣接配置されたMISFETにおけるソース領域と接続している。また、線状MISFET192のドレイン領域は、ドレイン電極、ドレインコンタクト194を介して、垂直信号線193に接続している。ドレインコンタクト194は、図10の中では、便宜上、黒丸と線で接続しているように書いてあるが、実際のイメージセンサーにおける接続は、本発明の明細書において後述する配線形成方法を用いて、光反応性有機材料などからなる導電性材料により電気的に接続する。

[0093] (プログラマブルロジックアレイ)

図11は、AND平面とOR平面から構成されるPLAの構造を説明するための回路図である。入力信号A、B、Cはクロックφ1で制御される通過制御トランジスタと反転および非反転バッファーを通してAND平面と呼ばれるトランジスタアレイに入力される。

AND平面の出力は左端にプルアップトランジスタが接続された水平線で示される信号路R1、R2、R3、R4により、OR平面に伝えられる。ここで、例えば、R3の論理式を考えると、A、またはB、または $\sim C$ がHIGHであれば、R3がLOWになるので、

$$R3 = \sim(A \mid B \mid \sim C) = \sim A * \sim B * C$$

が成り立つ。同様に、R4の論理式を考えると、

$$R4 = \sim(A \mid \sim B \mid C) = \sim A * B * \sim C$$

が成り立つ。OR平面の出力は、クロックφ2で制御される通過制御トランジスタとインバータからなる出力レジスターに蓄えられる。

[0094] PLAの出力(OR平面の出力)として、例えば、Z4を考えると、Z4の出力レジスターの入力信号線は、R3、またはR4がHIGHの時にLOWになることから、

$$Z4 = \sim(\sim(R3 \mid R4)) = (\sim A * \sim B * C) \mid (\sim A * B * \sim C)$$

が成り立つ。図11に示した例は、便宜上、非常に単純な論理式を実現する例について説明してあるが、同様の方法を用いて任意の組み合わせ論理を、トランジスタアレイのドレインの接続、非接続を選択することにより、PLAを用いて実現することができる。図11に示すPLAでは、トランジスタアレイを構成するMISFETが、すべてN型のMISFETの場合の回路構成を示してあるが、P型のMISFETによりトランジスタアレイを

構成した場合でも、ソースを電源電位に接続する、プルアップトランジスタをプルダウ  
ントランジスタに変えるなどの簡単な回路変更によりP型MISFETからなるPLAを実現  
するのは容易である。従って、例えば、半導体材料によっては電子よりも正孔の移動  
度が大きい有機半導体を用いたMISFETを使用しても本発明のPLAを実現することは  
可能である。

[0095] また、図11に示すように、PLAは、AND平面とOR平面を構成するトランジスタアレイ  
以外に、インバータ、信号通過トランジスタ、プルアップトランジスタ、あるいはプルダ  
ウントランジスタから構成されるが、これらの回路に関しても、線状素子を用いて形成  
することが可能である。

[0096] (PLAを構成する線状素子)

図12は本発明のPLAを構成する線状MISFETの斜視図である。線状MISFETは、  
一本の線状体の中に複数のMISFETが間欠的に形成されている。線状MISFETの長  
手方向において、素子領域214と絶縁分離領域215が交互に形成されており、絶縁  
分離領域215により、各MISFETが電氣的に分離されている。ただし、ゲート電極及  
びソース電極は、線状体に形成された複数のMISFETで連続して形成されている。

[0097] 図13(a)及び(b)は、図12に斜視図を示す線状素子の断面図である。図13(a)は、線  
状MISFETの素子領域214における断面図であり、図13(b)は、絶縁分離領域215に  
おける断面図である。

[0098] 図13(a)に示すように、MISFETの素子領域では、中心にゲート電極201を有し、そ  
の外側に、ゲート絶縁体領域202、ソース領域203、ドレイン領域204、半導体領域  
205が形成されている。さらに、その外側に、ソース電極207、ドレイン電極208、絶  
縁体領域228が形成されている。ソース電極207は、ソース領域203よりも円周方向  
に大きく形成してあり、ソース領域203と接するだけでなく半導体領域205とも接して  
いるが、このことにより、ソース電極207とソース領域203、半導体領域205との電氣  
的な接続を行い、半導体領域205の電位をソース電極207と同じ電位にすることが  
できる。一方、ドレイン電極208は、ドレイン領域204よりも円周方向に小さく形成して  
あり、ドレイン電極208と半導体領域205の短絡を防止している。

[0099] 図13(b)に示すように、MISFETの絶縁分離領域215では、ゲート電極201のまわり

に絶縁体領域202、210、211が形成され、MISFETと隣接するMISFETのドレイン領域、半導体領域を電氣的に分離している。一方、絶縁分離領域215においても、導電性のソース領域207とソース電極203が形成されており、線状体に形成された各MISFETのソース領域を電氣的に接続している。

[0100] (PLAのAND平面)

図14(a)は、PLAのAND平面の回路図であり、図14(b)は、図14(a)に示す回路図に対応する本発明のPLAの斜視図である。図14(b)において、線状体251には、複数のMISFETが、線状体の長手方向に間欠形成されている。図14(b)に示す形態においては、各線状体に形成された複数のMISFETのソース電極254が互いに共通であり、また、ゲート電極256も互いに共通である。AND平面の入力配線257はゲート電極256に接続し、ソース電極254は、ソースコンタクト260を介して接地配線259と接続している。線状体上に、形成された複数のMISFETの中でPLAの機能を実現するのに必要なMISFETだけが、ドレインコンタクト261を介してドレイン電極255とAND平面の出力線258を接続する。

[0101] (PLAのOR平面)

図15(a)は、PLAのOR平面の回路図であり、図15(b)は、図15(a)に示す回路図に対応する本発明のPLAの斜視図である。図15(b)において、線状体271には、複数のMISFETが、線状体の長手方向に間欠形成されている。図15(b)に示す形態においては、各線状体に形成された複数のMISFETのソース電極275が互いに共通であり、また、ゲート電極277も互いに共通である。OR平面の入力配線はゲート電極277に接続し、ソース電極275は、ソースコンタクト280を介して接地配線279と接続している。線状体上に、形成された複数のMISFETの中でPLAの機能を実現するのに必要なMISFETだけが、ドレインコンタクト281を介してドレイン電極276とOR平面の出力線278を接続する。

[0102] 図14(b)に示す本発明のPLAのAND平面におけるソースコンタクト260、ドレインコンタクト261、あるいは図15(b)に示す本発明のPLAのOR平面におけるソースコンタクト280、ドレインコンタクト281に関しては、斜視図の中では、便宜上、黒丸と線で接続しているように書いてあるが、実際のPLAにおける接続は、本発明の明細書におい

て後述する配線形成方法を用いて、光反応性有機材料などからなる導電性材料により電氣的に接続する。

[0103] (線状素子の形状、材料、製造)

(線状素子の形状)

本発明における線状素子における外径は、10mm以下が好ましく、5mm以下がより好ましい。1mm以下が好ましく、10  $\mu$  m以下がさらに好ましい。延伸加工を行うことにより1  $\mu$  m、さらには0.1  $\mu$  m以下とすることも可能である。

1  $\mu$  m以下の外径を有する極細線状体を型の孔から吐出させて形成しようとする場合には、孔のつまりや糸状体の破断が生ずる場合がある。かかる場合には、各領域の線状体をまず形成する。次にこの線状体を島として多くの島を作り、その周囲(海)を熔融性のものを取り巻き、それをロート状の口金で束ねて、小口から一本の線状体として吐出させればよい。島成分を増やして海成分を小さくすると極めて細い線状体素子をつくることができる。他の方法として、一旦太めの線状体素子をつくり、その後長手方向に延伸すればよい。また、熔融した原料をジェット気流に乗せてメルトブローして極細化を図ることも可能である。

[0104] また、アスペクト比は、押出形成により任意の値とすることができる。紡糸による場合には糸状として1000以上が好ましい。例えば100000あるいはそれ以上も可能である。切断後使用する場合には、10～10000、10以下、さらには1以下、0.1以下として小単位の線状素子としてもよい。

[0105] 線状素子の断面形状は特に限定されない。例えば、円形、多角形、星型その他の形状とすればよい。例えば、複数の頂角が鋭角をなす多角形状であってもよい。また、各領域の断面も任意にすることができる。素子により、隣接する層との接触面を大きくとりたい場合には、頂角が鋭角となっている多角形状とすることが好ましい。なお、断面形状を所望の形状とするには、押出しダイスの形状を該所望する形状のものとすれば容易に実現することができる。最外層の断面を星型あるいは頂角が鋭角をなす形状とした場合、押出し形成後、頂角同士の間の空間に、例えば、ディッピングにより他の任意の材料を埋め込むことができ、素子の用途によって素子の特性を変化させることができる。

[0106] 本発明の線状素子を形成する線状体に、同時に、発光素子、表示素子、光電池、光センサーなどの線状の光電変換素子を形成する場合に、線状素子の断面形状を、多角形、星型、三日月型、花卉型、文字形状など表面積が大きくなる形状にすることにより、光電変換素子の表面積も大きくなり、光電変換効率の向上に効果がある。

[0107] (線状素子の材料)

線状素子がN型のMISFETである場合は、ゲート電極はP型若しくはN型の半導体材料又は導電性材料により形成し、半導体領域はP型半導体材料により形成し、ソース領域とドレイン領域は、N型半導体材料又は導電性材料により形成する。また、ゲート絶縁体領域と表面保護領域は絶縁性材料により形成する。

線状素子がP型のMISFETである場合は、ゲート電極はP型若しくはN型の半導体材料又は導電性材料により形成し、半導体領域はN型半導体材料により形成し、ソース領域とドレイン領域は、P型半導体材料又は導電性材料により形成する。また、ゲート絶縁体領域と表面保護領域は絶縁性材料により形成する。

[0108] 本発明の線状素子を形成する半導体材料、導電性材料としては、有機半導体又は導電性高分子を用いることが好ましい。有機半導体又は導電性高分子を用いることにより、材料コストの低減や製造プロセスの簡単化などにより製造コストの低減に効果がある。

[0109] 導電性高分子としては、例えば、ポリアセチレン類、ポリアセン類、ポリチオフェン類、ポリ(3-アルキルチオフェン)、オリゴチオフェン、ポリピロール、ポリアニリン、ポリフェニレン類等を用いることができる。これらから導電率などを考慮して電極、あるいは半導体層として選択すればよい。導電性高分子に対し、フラーレン、又は内包フラーレンを混合することが好ましい。フラーレンとしては、 $C_n$ ( $n=60\sim90$ )が好ましい。内包フラーレンの内包原子としては、Na、Li、H、N、Fが好ましい。

[0110] また、有機半導体としては、例えば、ポリパラフェニレン類、ポリチオフェン類、ポリ(3-メチルチオフェン)、ポリフルオレン類、ポリビニルカルバゾールなどが好適に用いられる。

また、ソース・ドレイン領域又は半導体領域の材料としては、上記半導体材料に、ドーパントを混入せしめたものを用いることができる。



N型半導体とするためには、例えば、アルカリ金属(Li、Na、K)、 $\text{AsF}_5/\text{AsF}_3$ 、 $\text{ClO}_4^-$ をドーパントとして用いればよい。

P型半導体とするためには、例えば、ハロゲン( $\text{Cl}_2$ 、 $\text{Br}_2$ 、 $\text{I}_2$ など)、ルイス酸( $\text{PF}_5$ 、 $\text{AsF}_5$ 、 $\text{SbF}_5$ など)、プロトン酸( $\text{HF}$ 、 $\text{HCl}$ 、 $\text{HNO}_3$ など)、遷移金属化合物( $\text{FeCl}_3$ 、 $\text{FeOCl}$ 、 $\text{TiCl}_4$ など)、電解質アニオン( $\text{Cl}^-$ 、 $\text{Br}^-$ 、 $\text{I}^-$ など)をドーパントとして用いればよい。

[0111] また、本発明の線状素子を構成するゲート絶縁体領域の絶縁性材料としては、例えば、PVDF(ポリフッ化ビニリデン)、PS(ポリスチレン)、PMMA(ポリメタクリル酸メチル)、PVA(ポリビニルアルコール)を用いることができる。

また、本発明の線状素子を構成する表面保護領域又は分離領域の絶縁性材料としては、例えば、PVDF(ポリフッ化ビニリデン)、PS(ポリスチレン)、PMMA(ポリメタクリル酸メチル)、PVA(ポリビニルアルコール)、PC(ポリカーボネート)、PET(ポリエチレンラフタレート)、PES(ポリエーテルサルホン)を用いることができる。

[0112] (製造装置、製造方法)

図22(a)は、本発明の線状素子の製造装置の正面図であり、(b)は、本発明の線状素子の製造に用いられる型の平面図である。

[0113] 押出し装置341は、複数の領域を構成するための原料を熔融状態あるいは溶解状態、あるいはゲル状態で保持するための原料容器342、343、344を有している。第22図(a)に示す例では、3個の原料容器を示しているが、製造する線状素子の構成に応じて適宜設ければよい。

[0114] 原料容器342、343、344内の原料は、型345に送られる。型345には、製造しようとする線状素子の断面に応じた射出孔が形成されている。射出孔から射出された線状体は、ローラ347に巻き取られるか、あるいは必要に応じて次の工程に線状のまま送られる。

[0115] 原料容器342、343、344には、ゲート電極材料、ゲート絶縁体領域材料、ソース、ドレイン材料、半導体材料が、それぞれ、熔融あるいは溶解状態、ゲル状態で保持されている。一方、型345には、それぞれの材料容器に連通させて、孔が形成されている。

[0116] 型345は、図22(b)に平面図を示すように、中心部には、ゲート電極材料を射出す

るための複数の孔が形成されている。その外側周辺には、ゲート絶縁体領域材料を射出させるための複数の孔が形成されている。そしてその外周にさらにソース、ドレイン材料、半導体材料を射出するための複数の孔が形成されている。ただし、型345において、回路領域に対応する材料を射出するための複数の孔の配置は、実際に製造する線状素子の断面構造に応じて適宜設定すればよく、必ずしも常にゲート電極材料を射出するための孔を中心に配置する必要はない。

[0117] 各原料容器から溶融あるいは溶解状態、ゲル状態の原料を型345に送入し、型から原料を射出すると、各孔から原料は射出し、固化する。その端を引っ張ることにより、糸状に連続して線状発光素子が形成される。線状素子は、ローラ347で巻き取る。あるいは必要に応じて次の工程に糸状のまま送る。

[0118] 引き出し電極の形成: ソース領域やドレイン領域と引き出し電極を接触させるために、電極を形成する前に半導体領域の一部を機械的加工や、エッチングなどの方法で除去する。電極形成処理部349において、例えば、導電性ポリマーの塗布や、Alの蒸着を選択的にを行い、引き出し電極を形成する。

[0119] 表面保護領域の形成: 図22に示していないが、必要に応じ、絶縁性材料を塗布する処理部を設け、線状素子を形成した線状体の表面に絶縁領域を塗布形成する。

[0120] 分離領域の形成: 分離領域を形成する部分の分離したい導電性領域又は半導体領域を機械的加工や、エッチングなどの方法で選択的に除去する。除去した領域に絶縁領域を塗布形成する。または、ドーピング処理部348において、酸素イオンを注入、加熱し、素子分離領域を形成してもよい。

[0121] (配線形成方法)

図23は、本発明の集積回路の配線形成方法に係り、(a)は、配線形成工程における集積回路の斜視図であり、(b)乃至(e)は、配線形成工程の工程順断面図である。最初に、例えば、ガラス、又はプラスチックからなる基板361上に光反応性有機膜362を回転塗布法などにより形成する(図23(b))。光反応性有機膜として、例えば、光照射により絶縁体に変化する有機材料を使用する。次に、複数の線状素子363を光反応性有機膜362の上に配置する。配置される線状素子は、予め、専用の検査装置でDC試験や機能試験を行い、良品の線状素子のみ選択してある(図23(a)及び(c))

。次に、線状素子363の電極部に位置合わせを行ったマスク364を介して、紫外線などの光を光反応性有機膜362に対し照射する(図23(d))。次に、加熱により光反応性有機膜に含まれる光反応開始剤を蒸発させることにより、光反応性有機膜362中に導電性領域365と絶縁性領域366を形成する(図23(e))。

- [0122] 図23においては、平面基板上に線状素子を配置した場合の配線形成方法を説明したが、円筒上の基板に線状素子を配置したり、あるいは、柔軟性のある基板に線状素子を配置して配線形成後に基板を円筒状に変形させることで、円筒状あるいは線状の集積回路を作製することも可能である。

### 実施例

- [0123] 以下、実施例を挙げて本発明について詳細に説明するが、本発明は以下の実施例に限定されるものではない。

#### [0124] 製造例1

##### (相補型MISFETの製造)

本発明の相補型MISFETの実施例として、絶縁体からなる中心繊維を中心にして、その外側に順に、ゲート電極、ゲート絶縁体領域、ソース領域、ドレイン領域、半導体領域を配置したMISFET307、327(図16)で示される相補型MISFETを作成した。

#### [0125] (P型MISFETの製造)

##### (中心繊維の形成)

中心繊維の材料として、PMMA(ポリメチルメタクリレート)を用いた。まず、PMMAのジメチルフォルムアミド溶液(5wt%)300mlを真空乾燥して、フィルム状固体にした。このフィルム状固体を数mmの直径に切断した後、切断したPMMAからなる線を溶融押し出し機(井元製作所製)により押し出し、直径約0.05mmの繊維形状にした。

#### [0126] (ゲート電極の形成)

ゲート電極線の材料として、アルドリッチ製MEH-PPV(ポリ3ヘキシルチオフェン)を用いた。まず、MEH-PPVのトルエン溶液(10wt%)300mlをビーカーに用意し、その中にヨウ素液を50ml添加し、超音波攪拌を行った。その中に、PMMAからなる中心繊維を浸した後、80℃で乾燥させ、中心繊維の表面に膜厚1  $\mu$ mのゲート電極膜を形成し、ゲート電極線を作成した。

## [0127] (ゲート絶縁体領域の形成)

ポリフッ化ビニリデンのジメチルホルムアミド溶液1wt%に、ゲート電極線を浸した後、80℃で乾燥させ、ゲート電極線の表面に膜厚1  $\mu$  mのポリフッ化ビニリデン膜を形成した。

## [0128] (ソース、ドレイン領域の形成)

MEH-PPVのキシレン溶液(10wt%)300mlをビーカーに用意し、その中にヨウ素液を50ml添加し、超音波攪拌を行った。その後、真空乾燥して、フィルム状固体にした。このフィルム状固体を数mmの直径に切断した後、切断したMEH-PPVからなる線を溶融押し出し機(井元製作所製)により押し出し、直径約0.2mmの繊維形状にした。長さが約10cmの繊維を4本作製した。

表面にゲート絶縁領域を形成したゲート電極線上に、ソース、ドレイン領域となるMEH-PPVからなる線をそれぞれ2本配置した。線の端部は、エポキシ接着剤で固定した。その後、窒素雰囲気下200℃で1時間加熱処理し、ゲート絶縁領域とソース、ドレイン領域を密着させた。

## [0129] (半導体領域の形成)

ソース、ドレイン領域を表面に形成した上記線状体をポリピリジン(PPy)のギ酸溶液に浸した後、窒素雰囲気下80℃で24時間乾燥させた。

## [0130] (分離領域の形成)

PMMA(ポリメチルメタクリレート)のジメチルホルムアミド溶液(5wt%)に、半導体領域を形成した線状体を浸した後、窒素雰囲気下80℃で24時間乾燥させ、P型MISFETを完成した。

## [0131] (N型MISFETの製造)

## (中心繊維の形成)

中心繊維の材料として、PMMA(ポリメチルメタクリレート)を用いた。まず、PMMAのジメチルホルムアミド溶液(5wt%)300mlを真空乾燥して、フィルム状固体にした。このフィルム状固体を数mmの直径に切断した後、切断したPMMAからなる線を溶融押し出し機(井元製作所製)により押し出し、直径約0.05mmの繊維形状にした。

## [0132] (ゲート電極の形成)

ゲート電極線の材料として、アルドリッチ製MEH-PPV(ポリ3ヘキシルチオフェン)を用いた。まず、MEH-PPVのトルエン溶液(10wt%)300mlをビーカーに用意し、その中にヨウ素液を50ml添加し、超音波攪拌を行った。その中に、PMMAからなる中心繊維を浸した後、80℃で乾燥させ、中心繊維の表面に膜厚1  $\mu$  mのゲート電極膜を形成し、ゲート電極線を作成した。

[0133] (ゲート絶縁体領域の形成)

ポリフッ化ビニリデンのジメチルホルムアミド溶液1wt%に、ゲート電極線を浸した後、80℃で乾燥させ、ゲート電極線の表面に膜厚1  $\mu$  mのポリフッ化ビニリデン膜を形成した。

[0134] (ソース、ドレイン領域の形成)

MEH-PPVのキシレン溶液(10wt%)300mlをビーカーに用意し、その中にヨウ素液を50ml添加し、超音波攪拌を行った。その後、真空乾燥して、フィルム状固体にした。このフィルム状固体を数mmの直径に切断した後、切断したMEH-PPVからなる線を溶融押し出し機(井元製作所製)により押し出し、直径約0.2mmの繊維形状にした。長さが約10cmの繊維を4本作製した。

表面にゲート絶縁領域を形成したゲート電極線上に、ソース、ドレイン領域となるMEH-PPVからなる線をそれぞれ2本配置した。線の端部は、エポキシ接着剤で固定した。その後、窒素雰囲気下200℃で1時間加熱処理し、ゲート絶縁領域とソース、ドレイン領域を密着させた。

[0135] (半導体領域の形成)

ソース、ドレイン領域を表面に形成した上記線状体をP3HTのトルエン溶液に浸した後、窒素雰囲気下80℃で24時間乾燥させた。

[0136] (分離領域の形成)

PMMA(ポリメチルメタクリレート)のジメチルホルムアミド溶液(5wt%)に、半導体領域を形成した線状体を浸した後、窒素雰囲気下80℃で24時間乾燥させ、N型MISFETを完成した。

[0137] (相補型MISFETの電気特性評価)

上記製造例で作製したP型MISFETとN型MISFETを1cm×1cmの平面基板の上に

貼り付け、それぞれの繊維を長さ、すなわち、チャネル幅 $W$ が2mmとなるように切断し、端部のゲート電極、ソース領域、ドレイン領域、半導体領域に金線を取り付け、暗室中にセットし、P型MISFETとN型MISFETのドレイン電流特性を半導体パラメータ測定装置(アジデント製4155)により測定した。

- [0138] P型MISFETとN型MISFETのドレイン電流を測定し、ゲート電圧依存性、ドレイン電圧依存性のグラフをプロットした。P型MISFETに関しては、ゲート電圧を-4V及び-10Vに設定し、ドレイン電圧を-5Vから10Vまで変化させて、ドレイン電流を測定した。N型MISFETに関しては、ゲート電圧を4V及び10Vに設定し、ドレイン電圧を-5Vから10Vまで変化させて、ドレイン電流を測定した。半導体領域の電位はソース領域の電位と同電位とした。その結果、P型MISFETでは、負のゲート電圧の絶対値を高くするとドレイン電流が増加することが確認できた。また、N型MISFETでは、正のゲート電圧の絶対値を高くするとドレイン電流が増加することが確認できた。

#### 産業上の利用可能性

- [0139] (1) N型MISFETを含む線状体とP型MISFETを含む線状体を電氣的に分離して相補型MISFETを形成することにより、ラッチアップの発生を防止できる。
- (2) 相補型MISFET又は集積回路を構成する導電性領域、半導体領域、及び/又は、絶縁体領域を有機半導体又は導電性高分子からなる材料により形成することにより、材料コストの低減や製造プロセスの簡単化などにより製造コストの低減に効果がある。
- (3) 絶縁性材料を塗布する又は蒸着するだけで、線状体を電氣的に分離できるので、簡単なプロセスで素子分離を行うことができる。
- (4) 回路素子を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成された構造であるため、押出し形成や延伸形成により、複数の領域を有する線状素子を簡単なプロセスで製造することができる。
- (5) 線状体を織る、あるいは編むことにより作製した平面状の集積回路は、柔軟性があり薄くて軽いため、薄型機器や携帯機器などに用いる電子装置として多様な用途がある。
- (6) 線状体を束ねることにより作製した線状の集積回路は、柔軟性があり細くて軽

いため、配線コードやファイバースコープなどの線状部品又は線状装置に用いる電子装置として多様な用途がある。

(7)線状体を二次元平面状に並べるだけでなく、線状体を配置した平面を積み重ねたり、線状体自体を積み重ねて、三次元の集積回路を形成できるので、集積度を大幅に向上させることが可能である。

(8)線状体を組み合わせて、集積回路を作製できるので、多くの線状体を組み合わせることにより製造設備の規模によらない大型装置を製造できる。特に、半導体メモリーにおいては、記憶容量を飛躍的に大きくすることも可能である。

(9)複数の線状体を用いて集積回路を製造する場合に、製造前に各線状体を検査して、選別した良品だけ用いて集積回路を製造できる。もしくは、集積回路を製造してから、検査を行い、不良部の線状体だけを交換することもできるので、集積回路を大型化した場合に、特にプロセス管理を厳密にしなくても、製造歩留まりを向上できる。

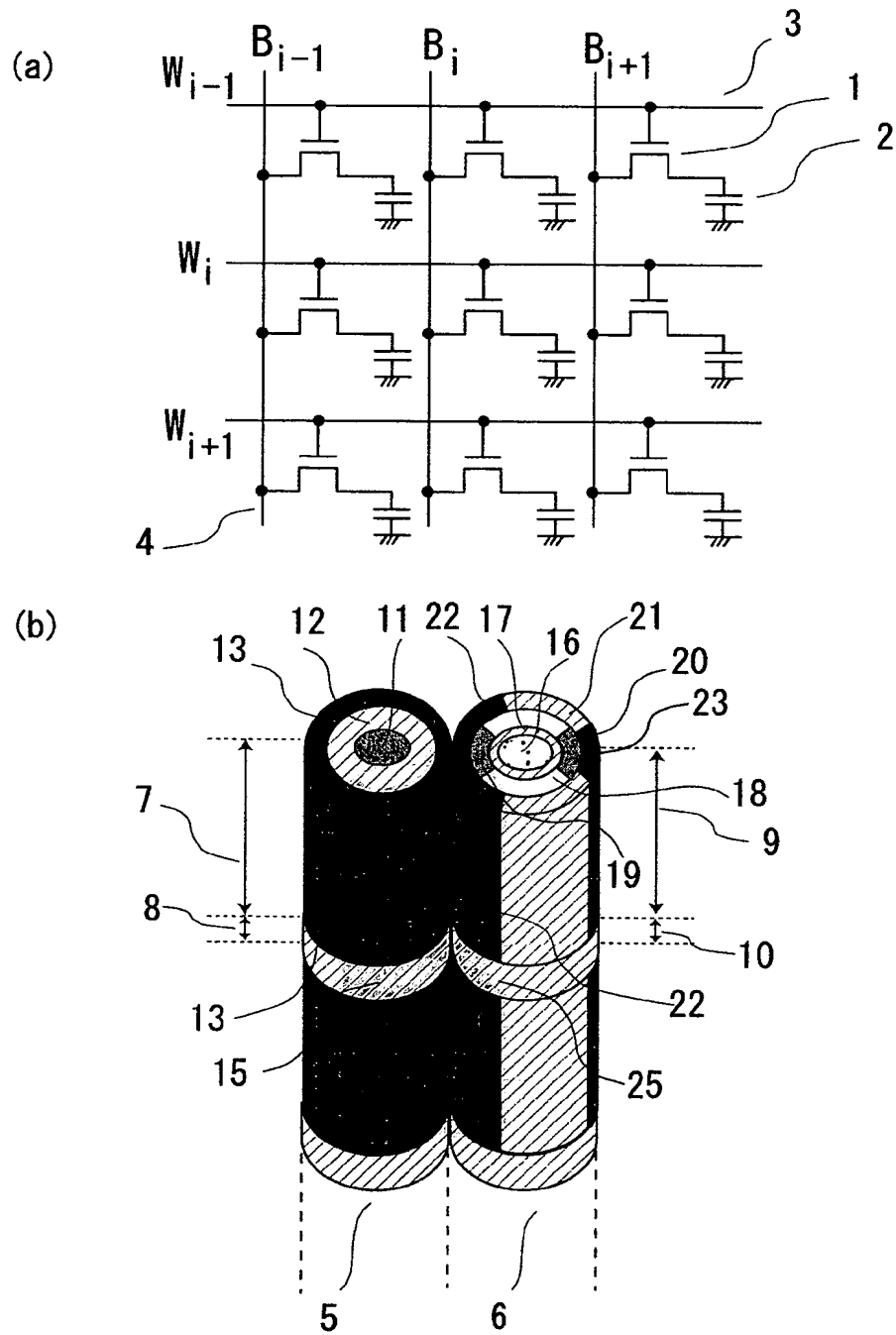
(10)回路素子を形成する線状体に、同時に、発光素子、表示素子、光電池、光センサーなどの線状の光電変換素子を形成する場合に、線状体の断面形状を、多角形、星型、三日月型、花卉型、文字形状など表面積が大きくなる形状にすることにより、光電変換素子の表面積も大きくなり、光電変換効率の向上に効果がある。

## 請求の範囲

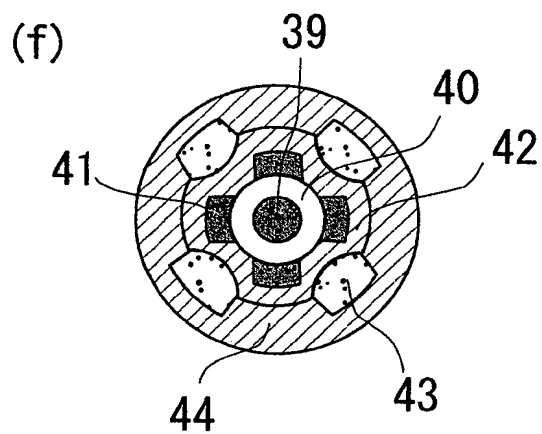
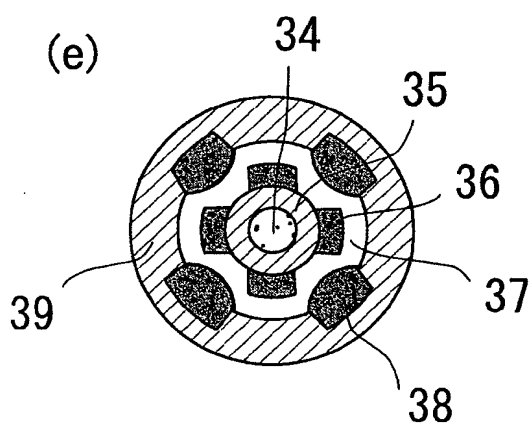
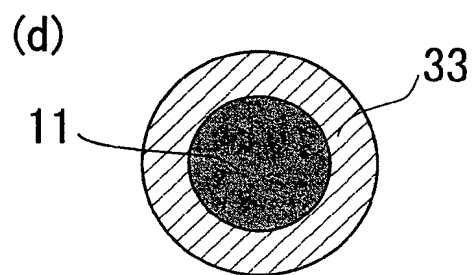
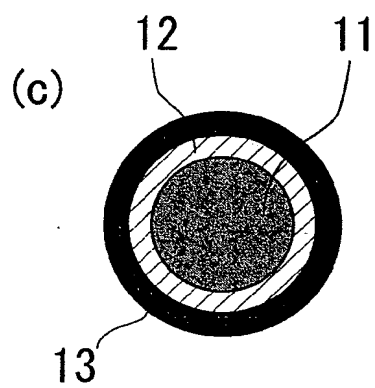
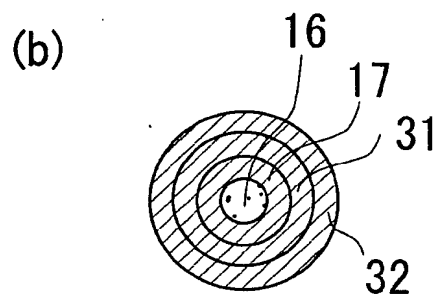
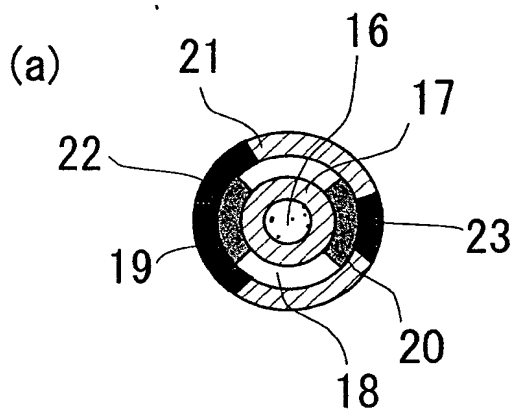
- [1] N型のMISFETを含む第一の線状体と、P型のMISFETを含む第二の線状体からなり、第一の線状体と第二の線状体との間に分離領域を配置した相補型MISFET。
- [2] 前記MISFETを形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されている、請求項1記載の相補型MISFET。
- [3] 前記線状体、及び/又は、前記分離領域を有機半導体又は導電性高分子からなる材料により形成した、請求項1又は2のいずれか1項記載の相補型MISFET。
- [4] 請求項1乃至3のいずれか1項記載の相補型MISFETからなる集積回路。
- [5] 複数の前記線状体の間に絶縁性材料を塗布する又は蒸着することにより前記分離領域を形成する、請求項1乃至3のいずれか1項記載の相補型MISFETの製造方法。
- [6] 前記線状体の表面に絶縁膜を形成することにより前記分離領域を形成する、請求項1乃至3のいずれか1項記載の相補型MISFETの製造方法。
- [7] 線状体に形成された回路素子を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されている複数の前記線状体からなる集積回路。
- [8] 前記集積回路が、半導体メモリー、イメージセンサー、又は、PLAである、請求項7記載の集積回路。
- [9] 前記線状体を有機半導体又は導電性高分子からなる材料により形成した、請求項7又は8のいずれか1項記載の集積回路。
- [10] 前記線状体の断面形状が、円形、多角形、星型、三日月、花卉、文字形状、その他の任意形状を有している、請求項4又は7乃至9のいずれか1項記載の集積回路。



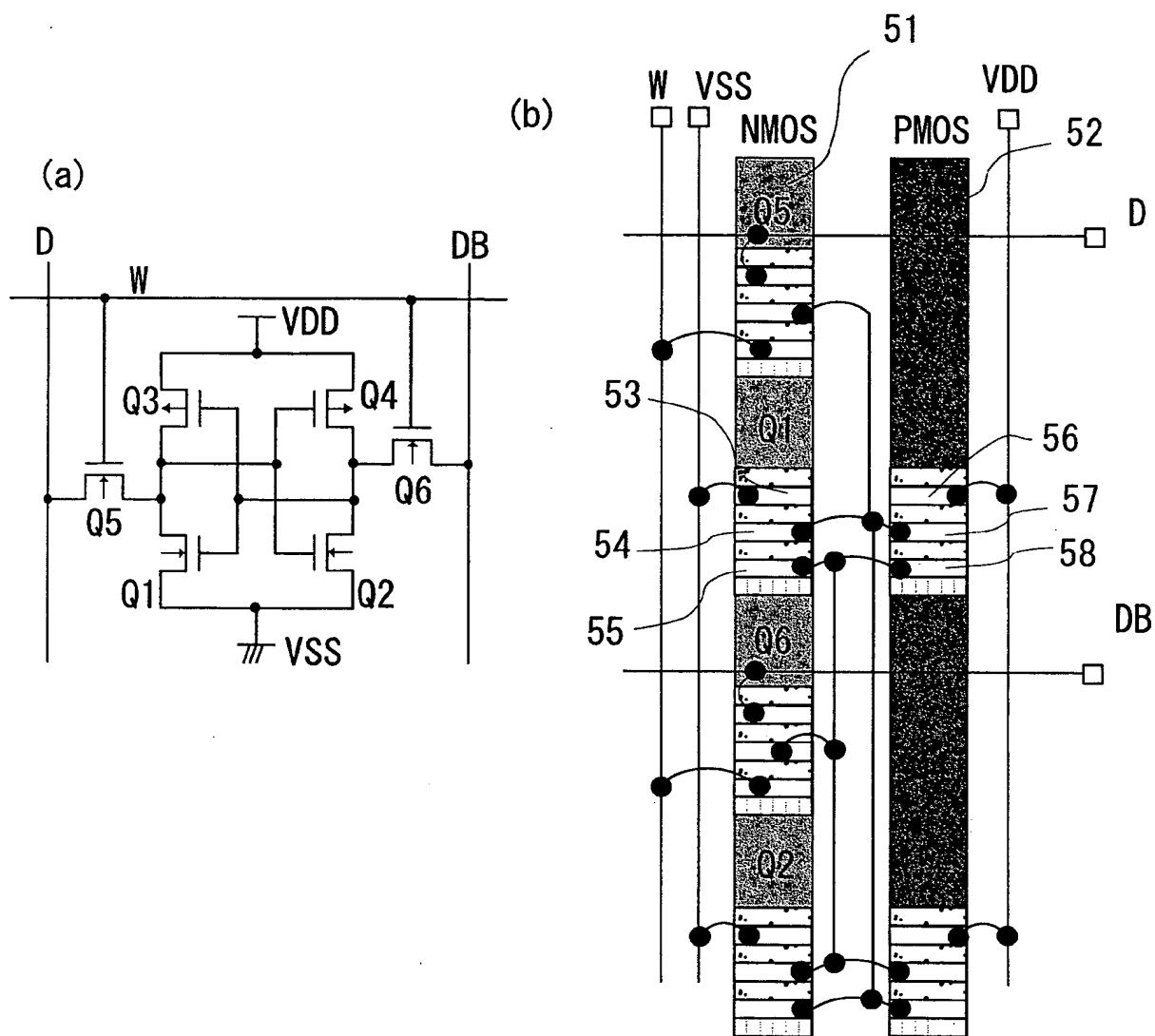
[図1]



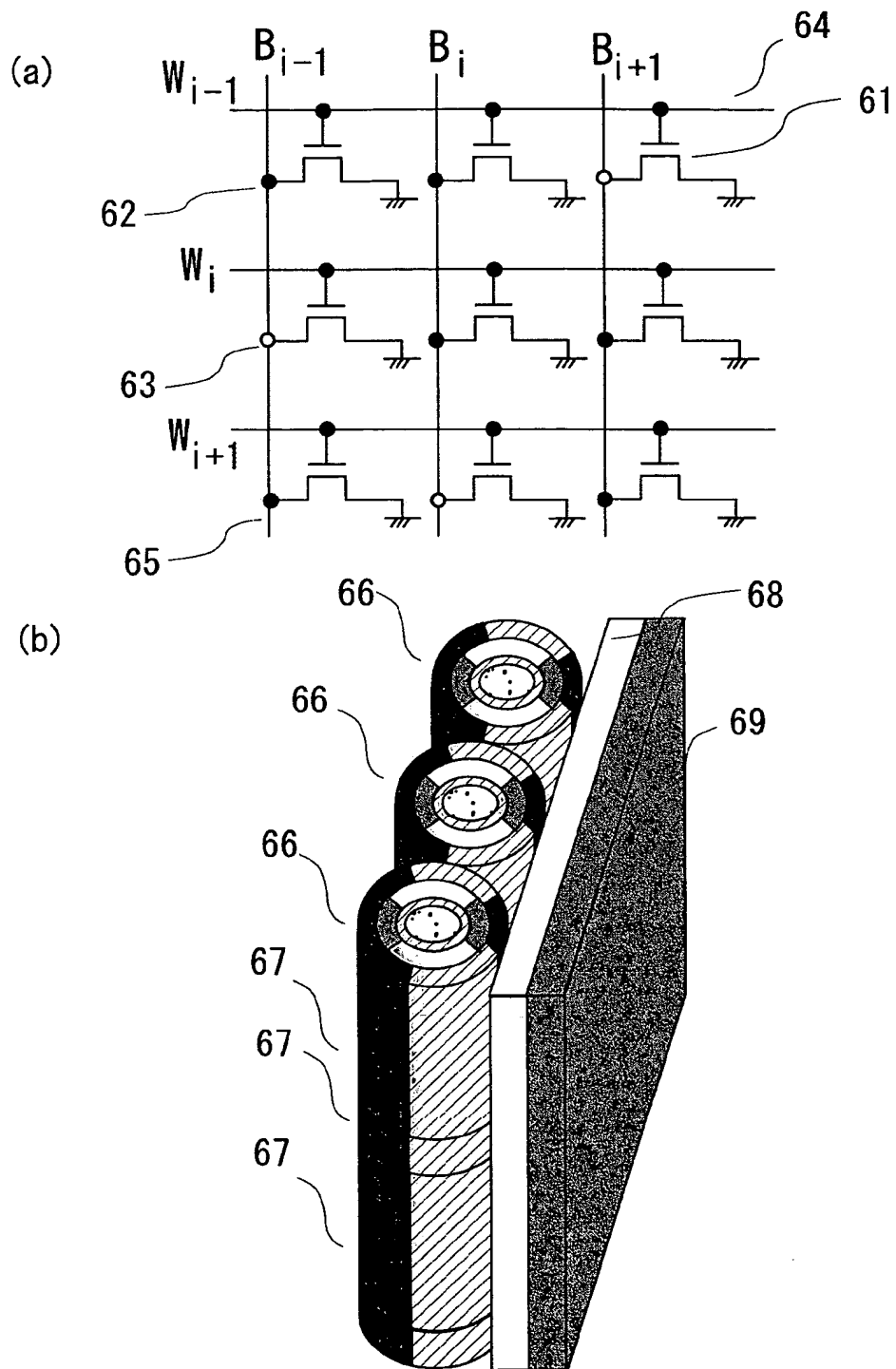
[図2]



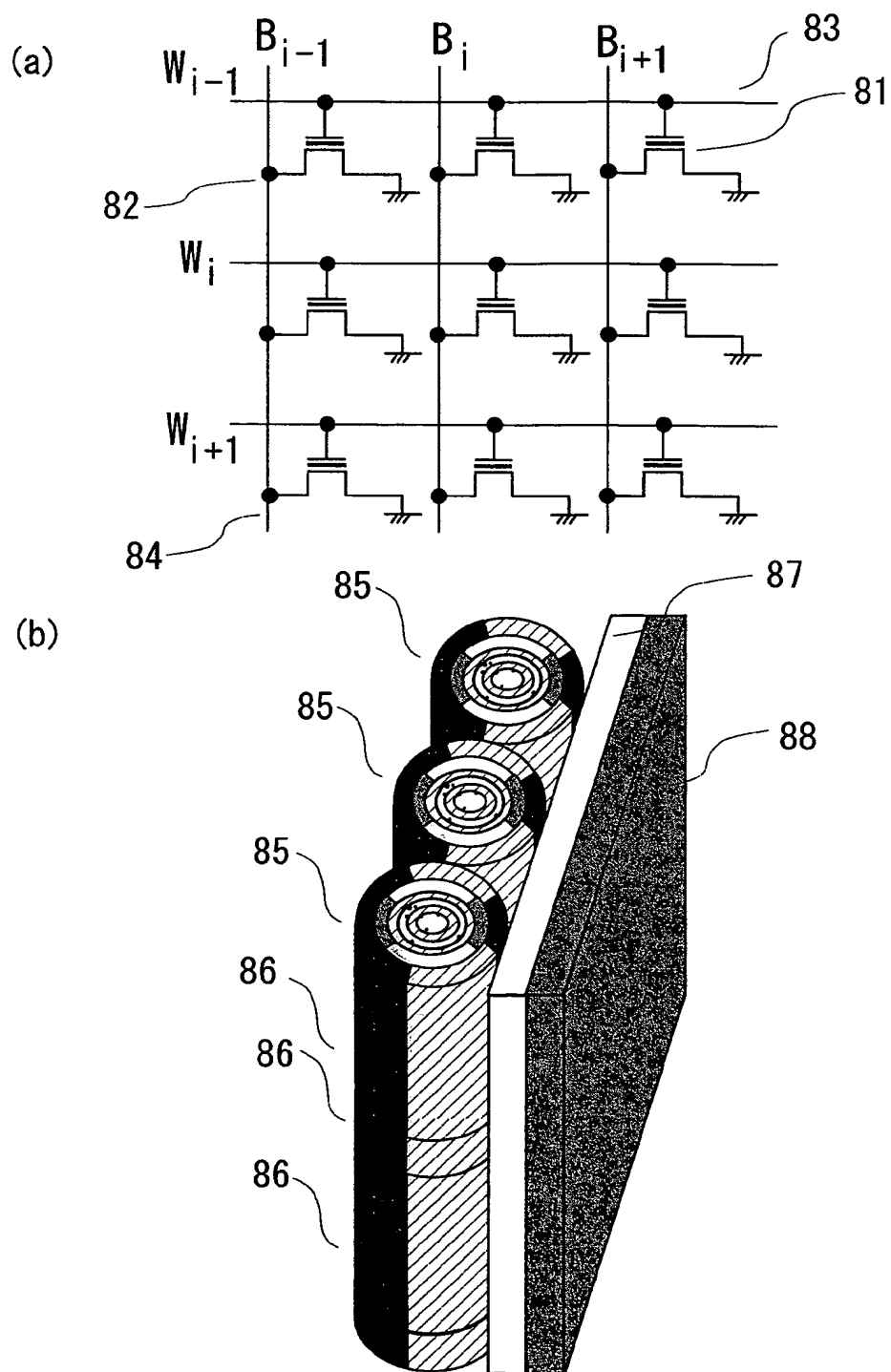
[図3]



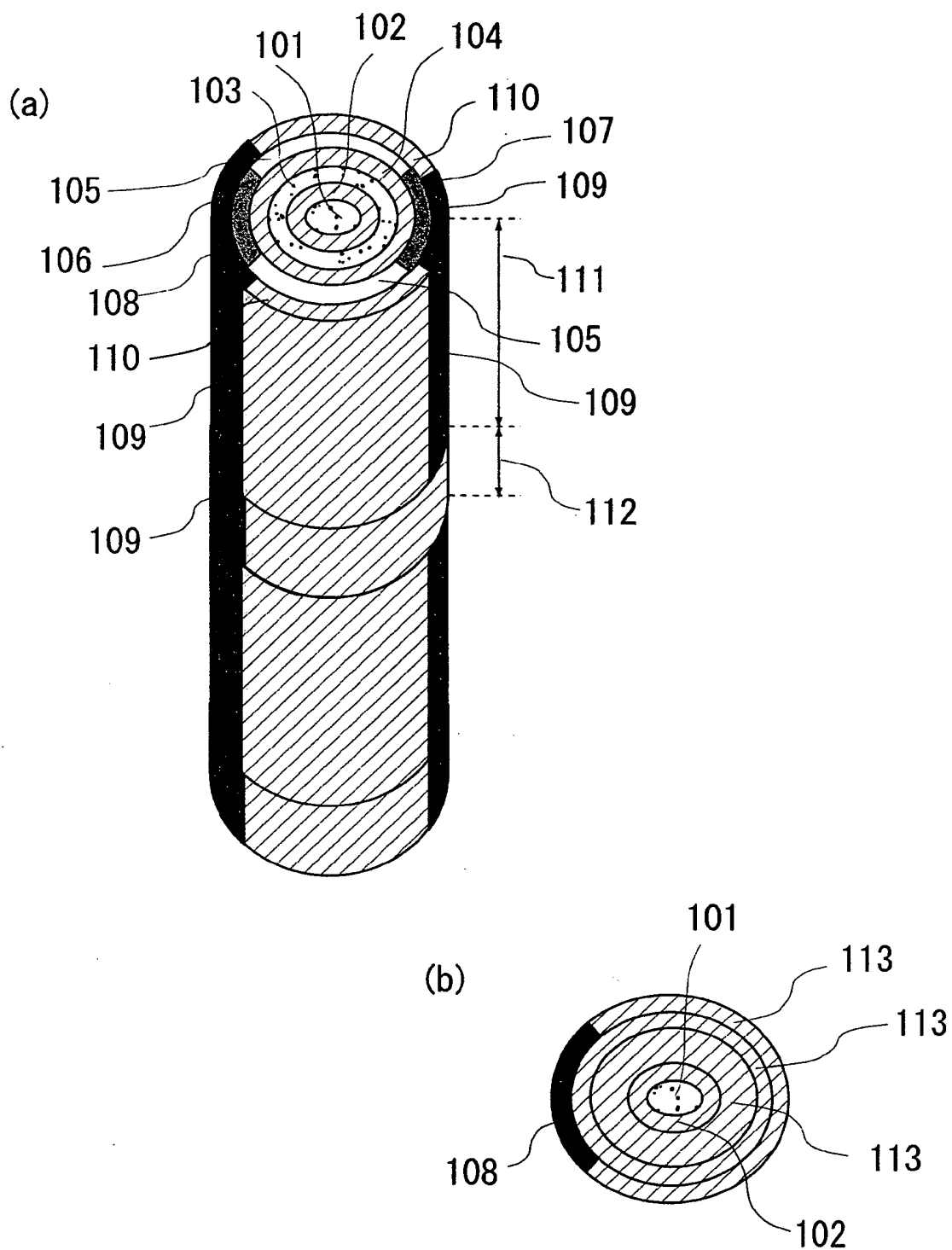
[図4]



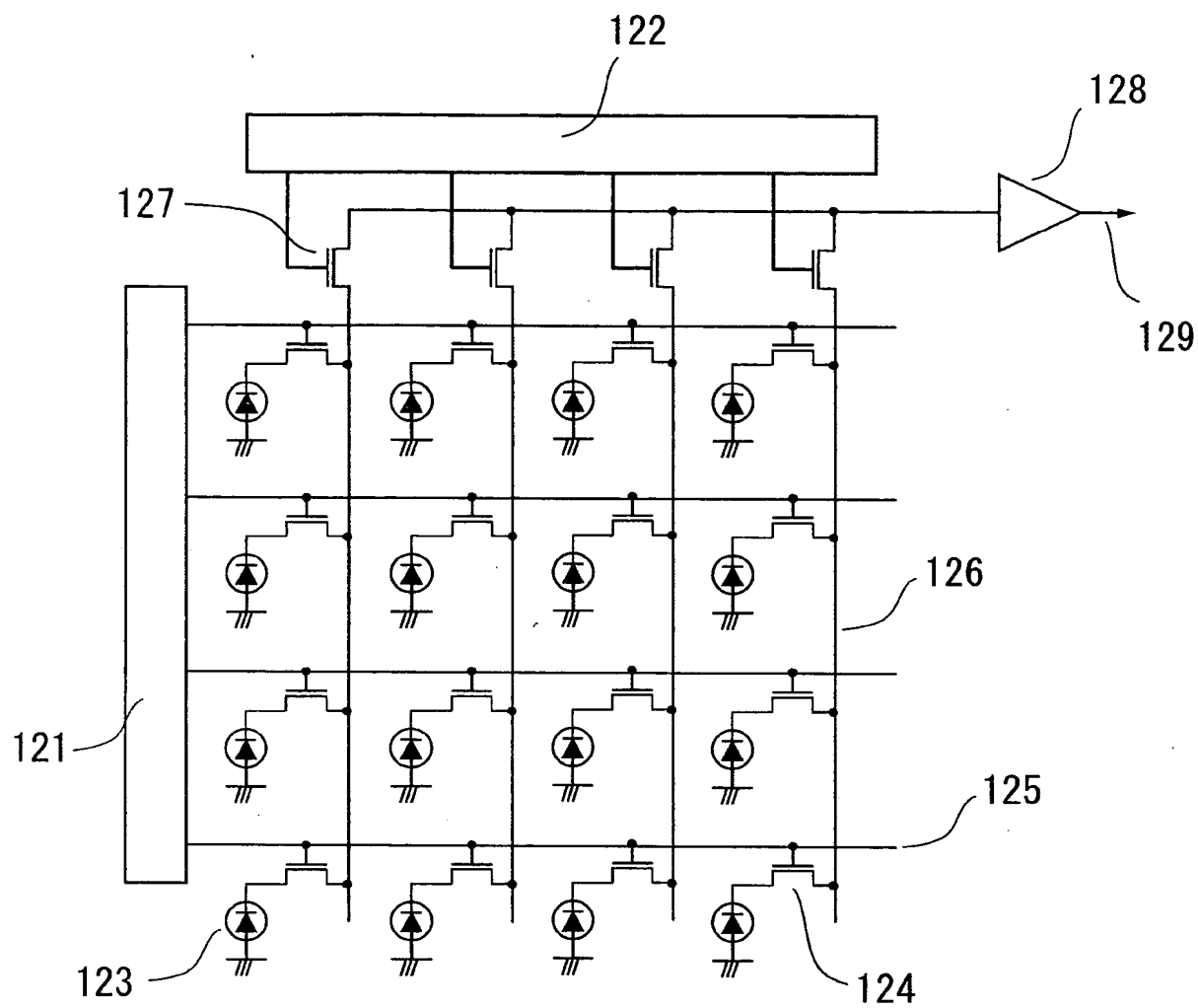
[図5]



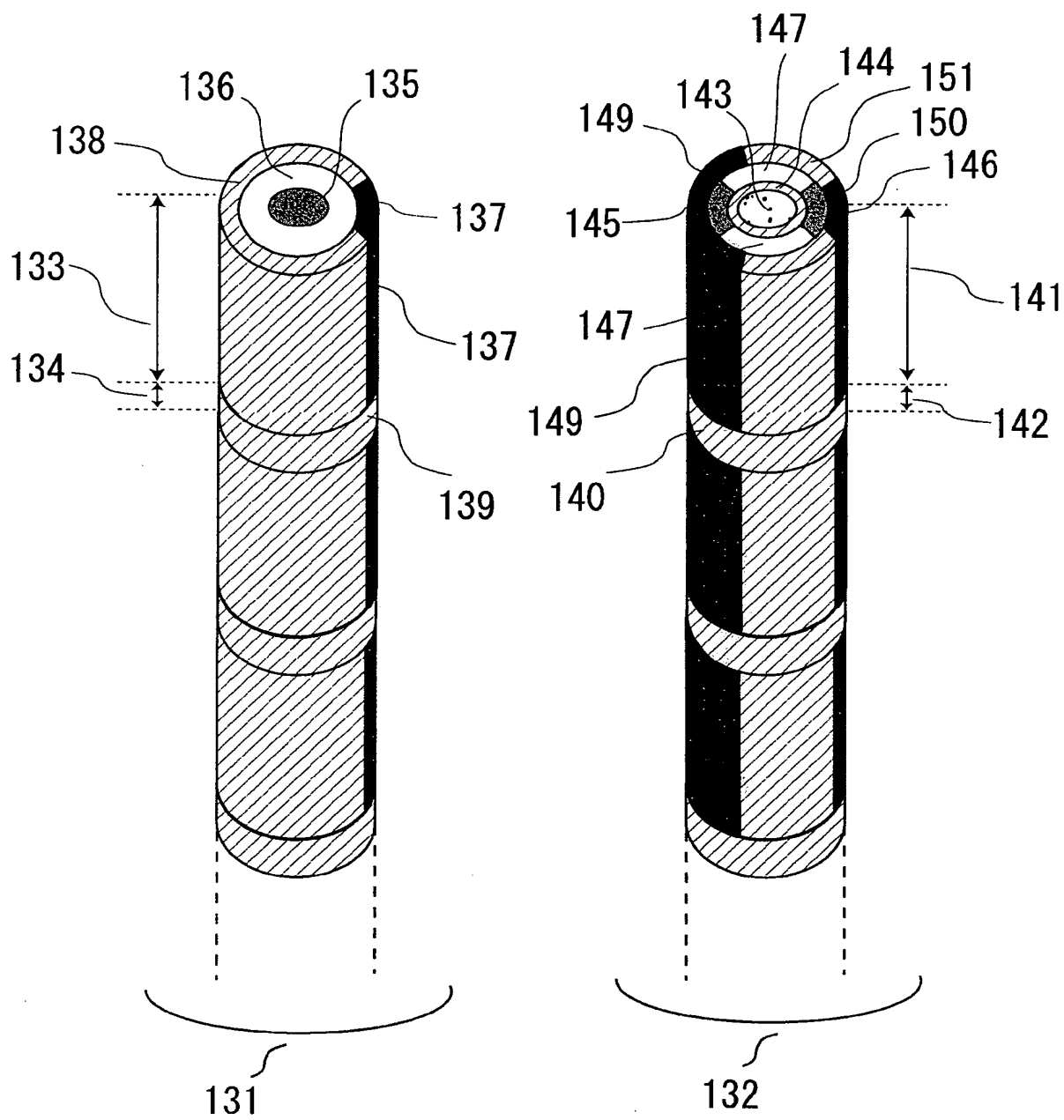
[図6]



[図7]

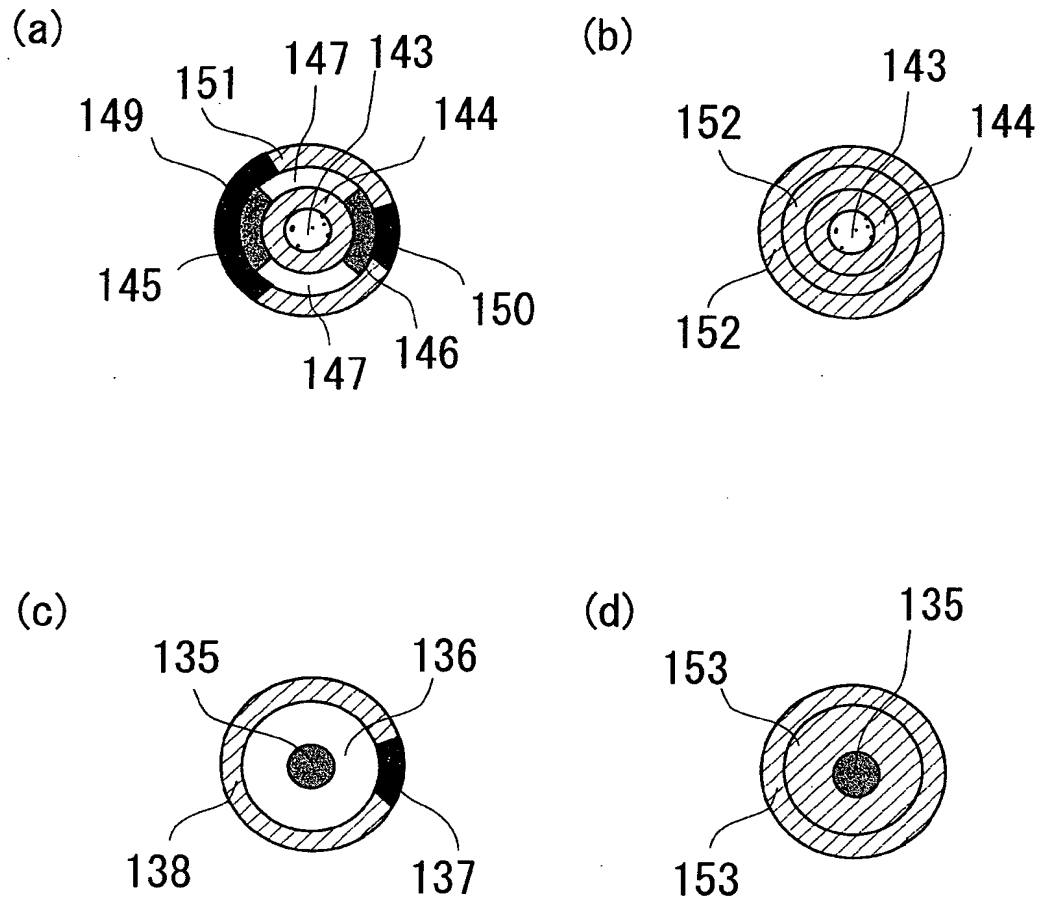


[図8]

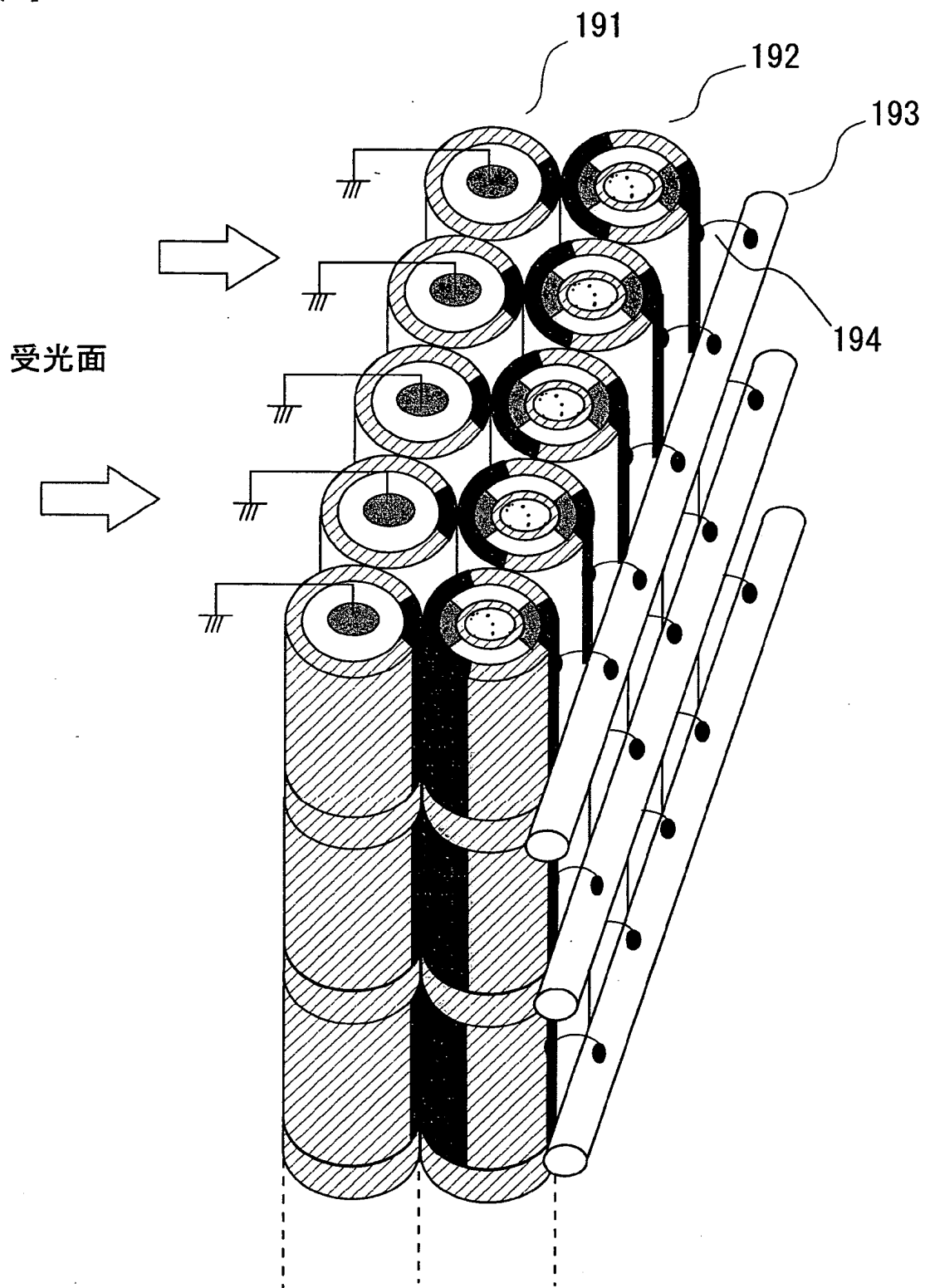




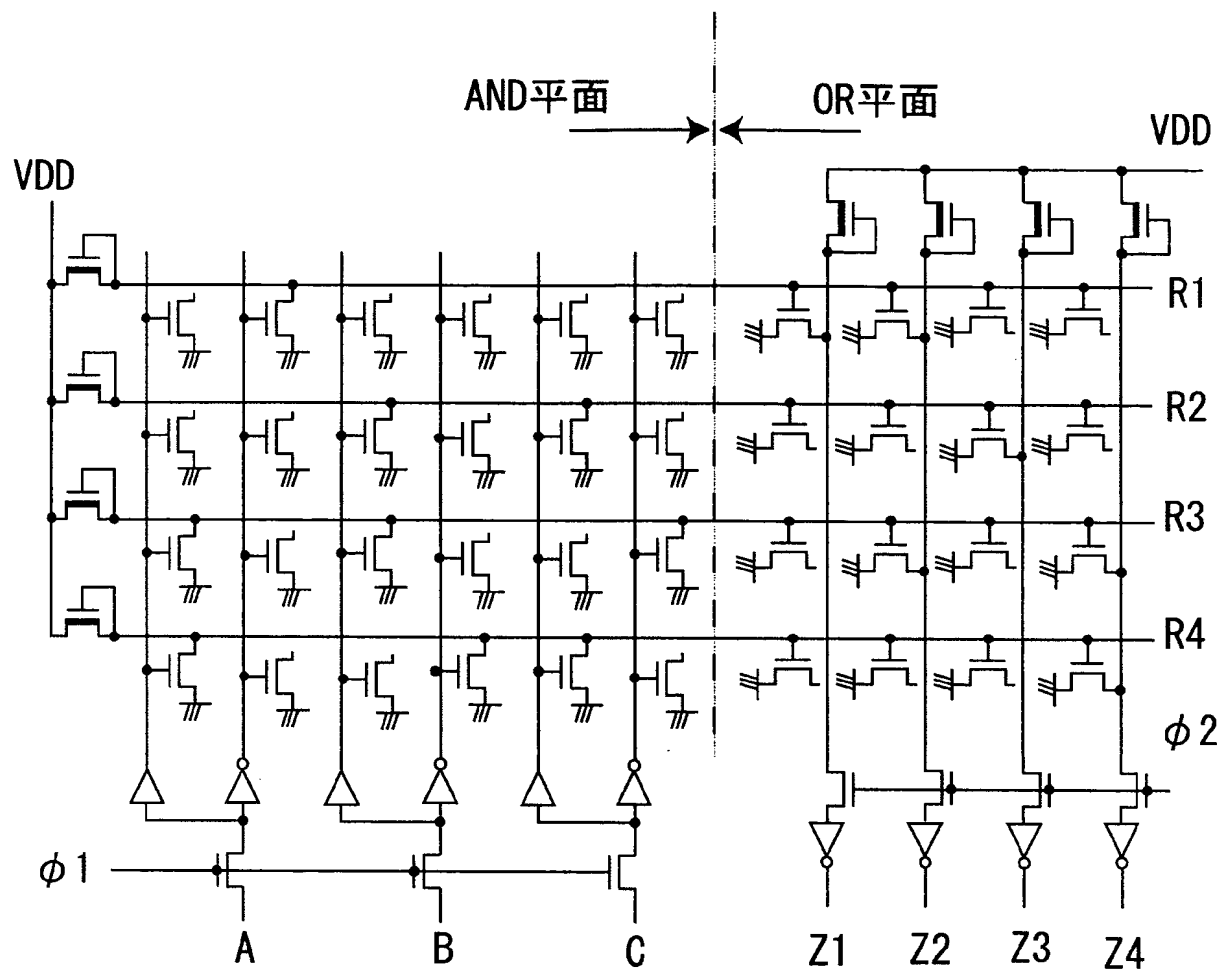
[図9]



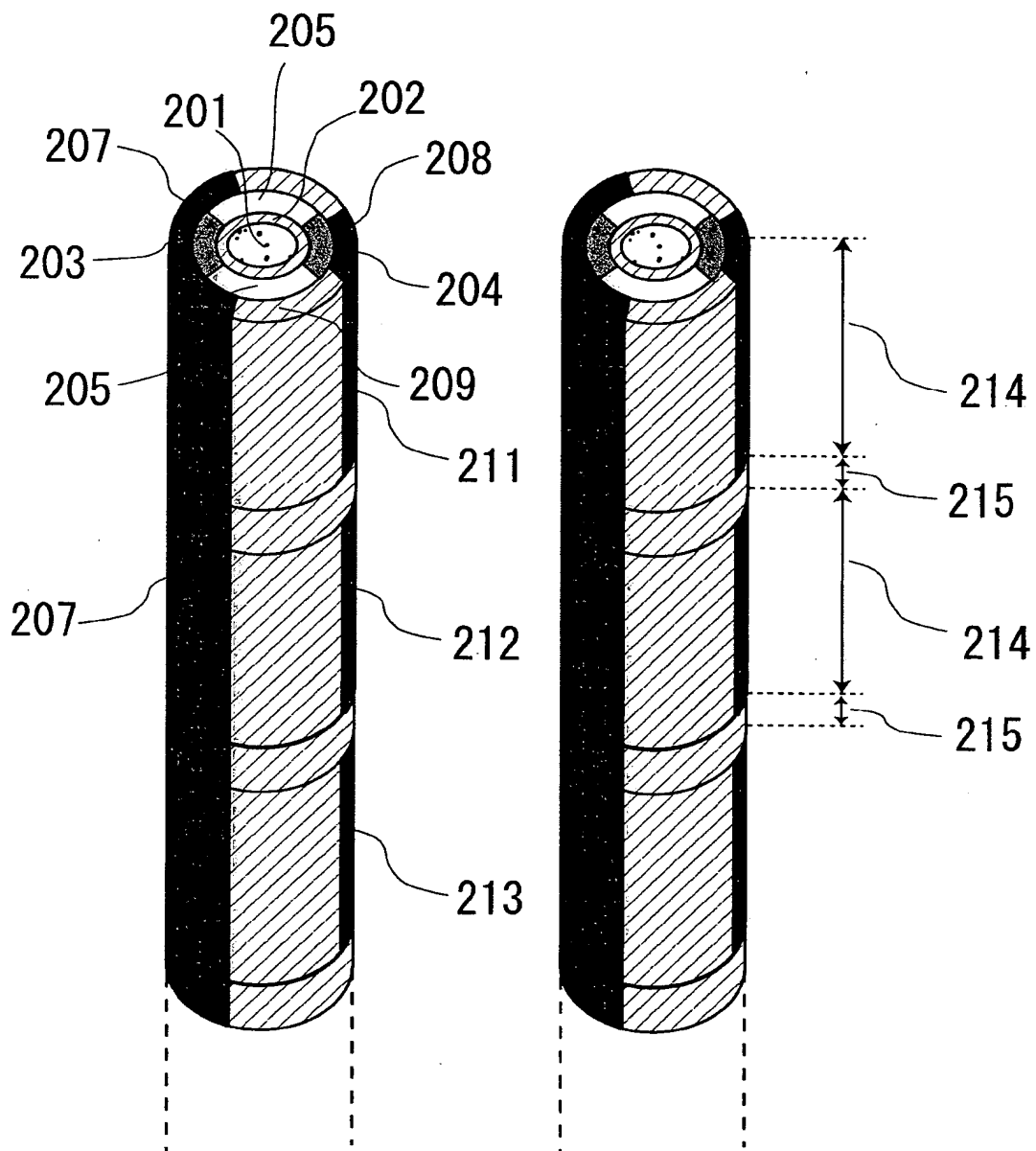
[図10]



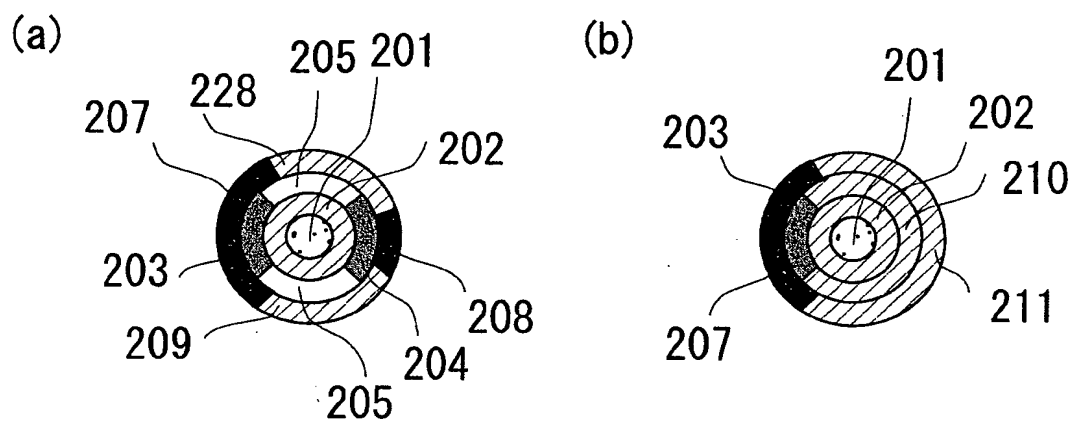
[図11]



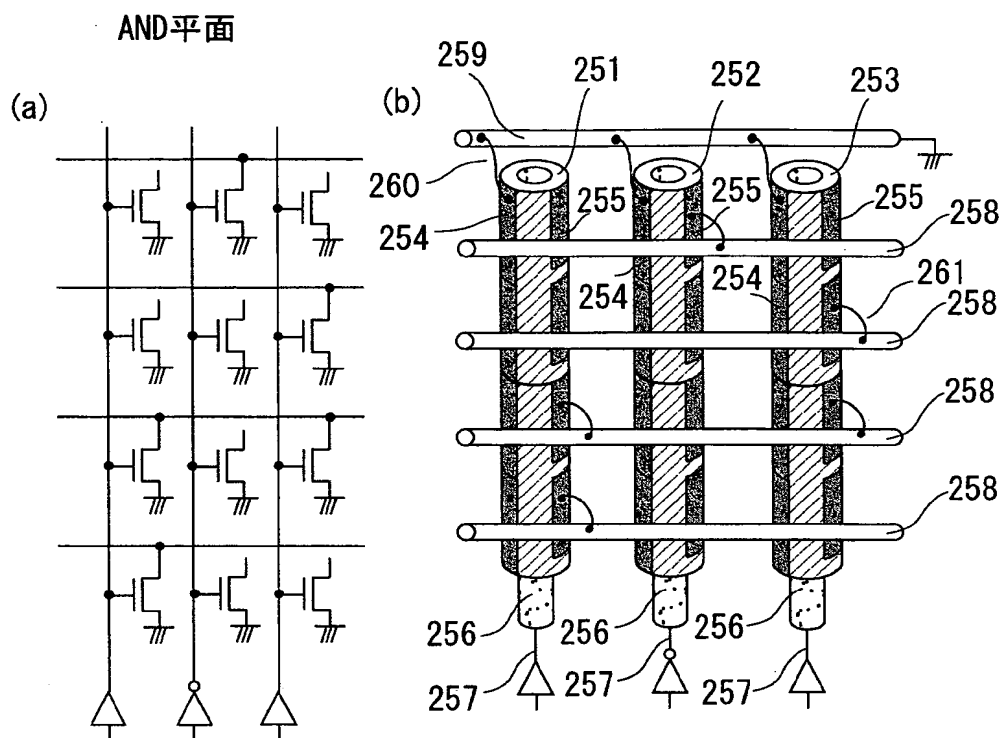
[図12]



[図13]

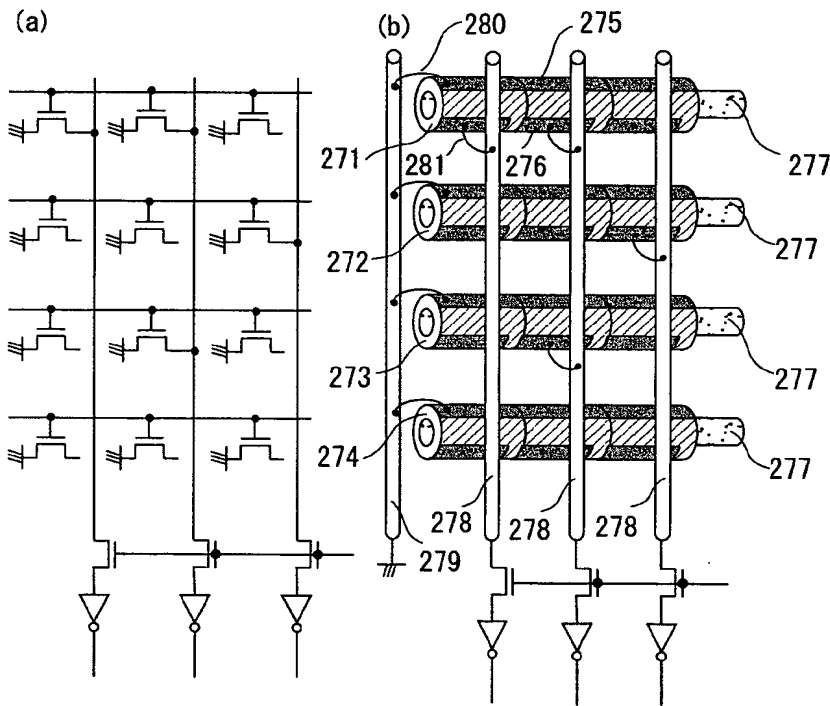


[図14]

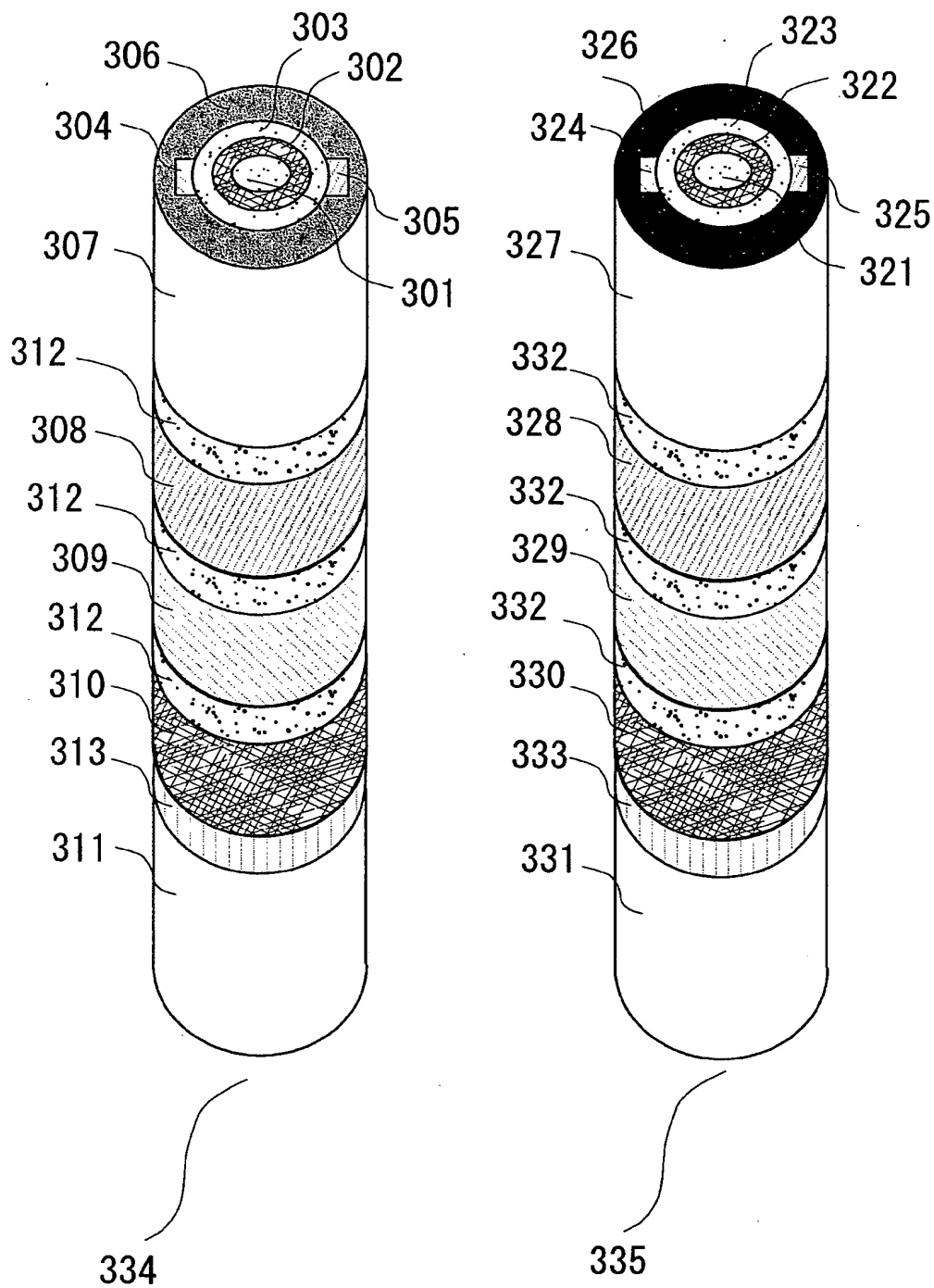


[図15]

OR平面

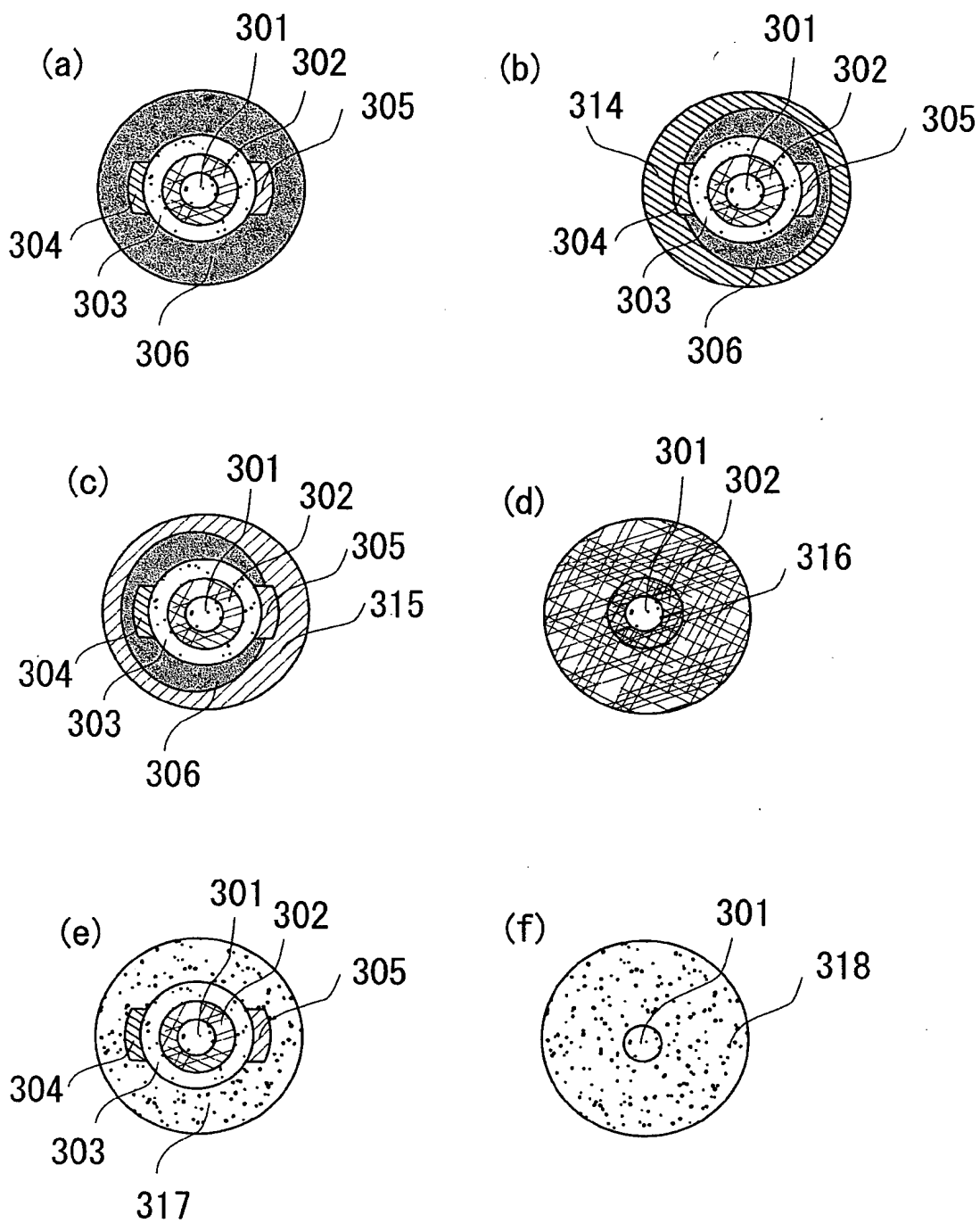


[図16]



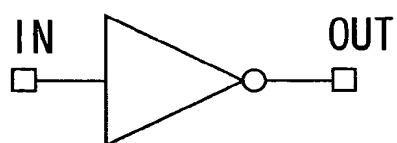


[図17]

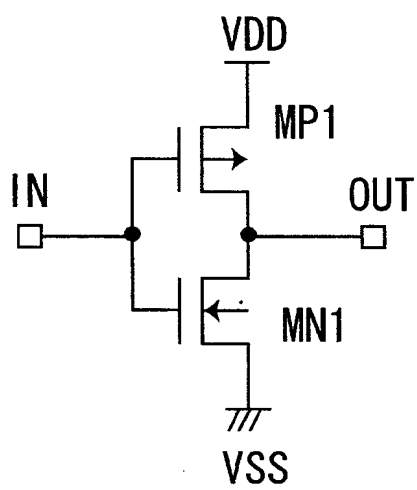


[図18]

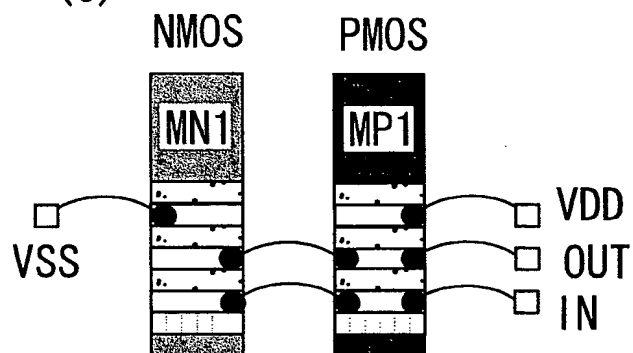
(a)



(b)

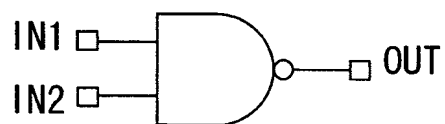


(c)

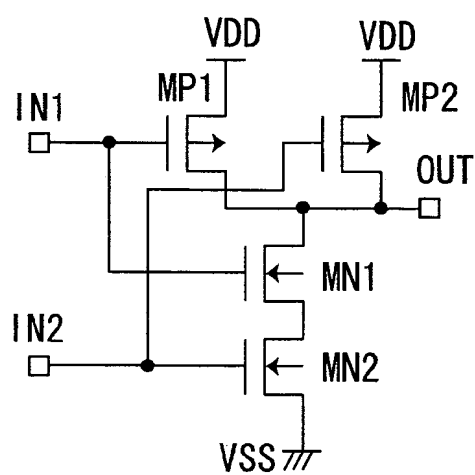


[19]

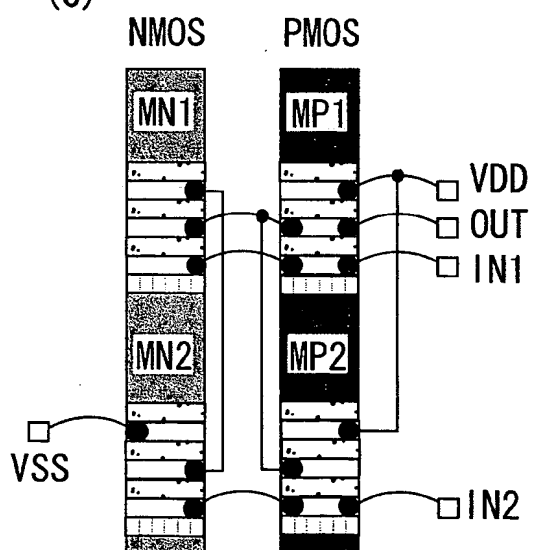
(a)



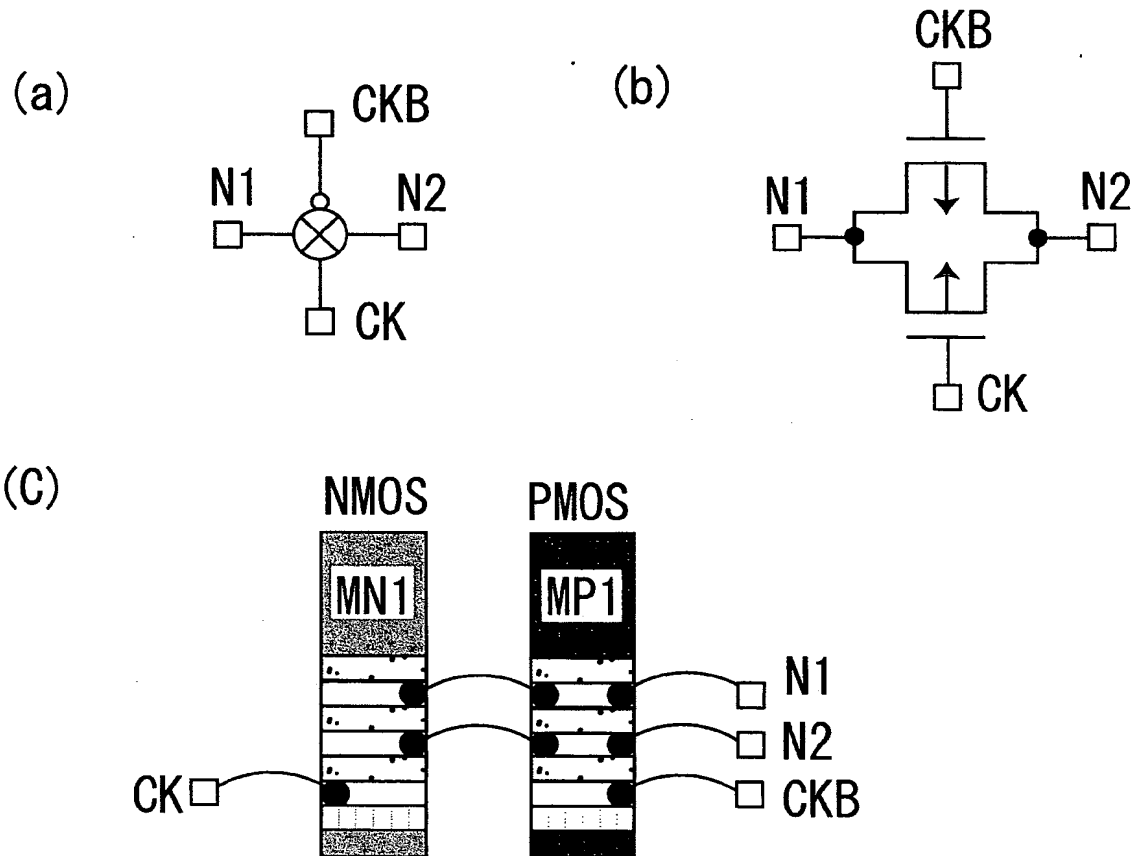
(b)



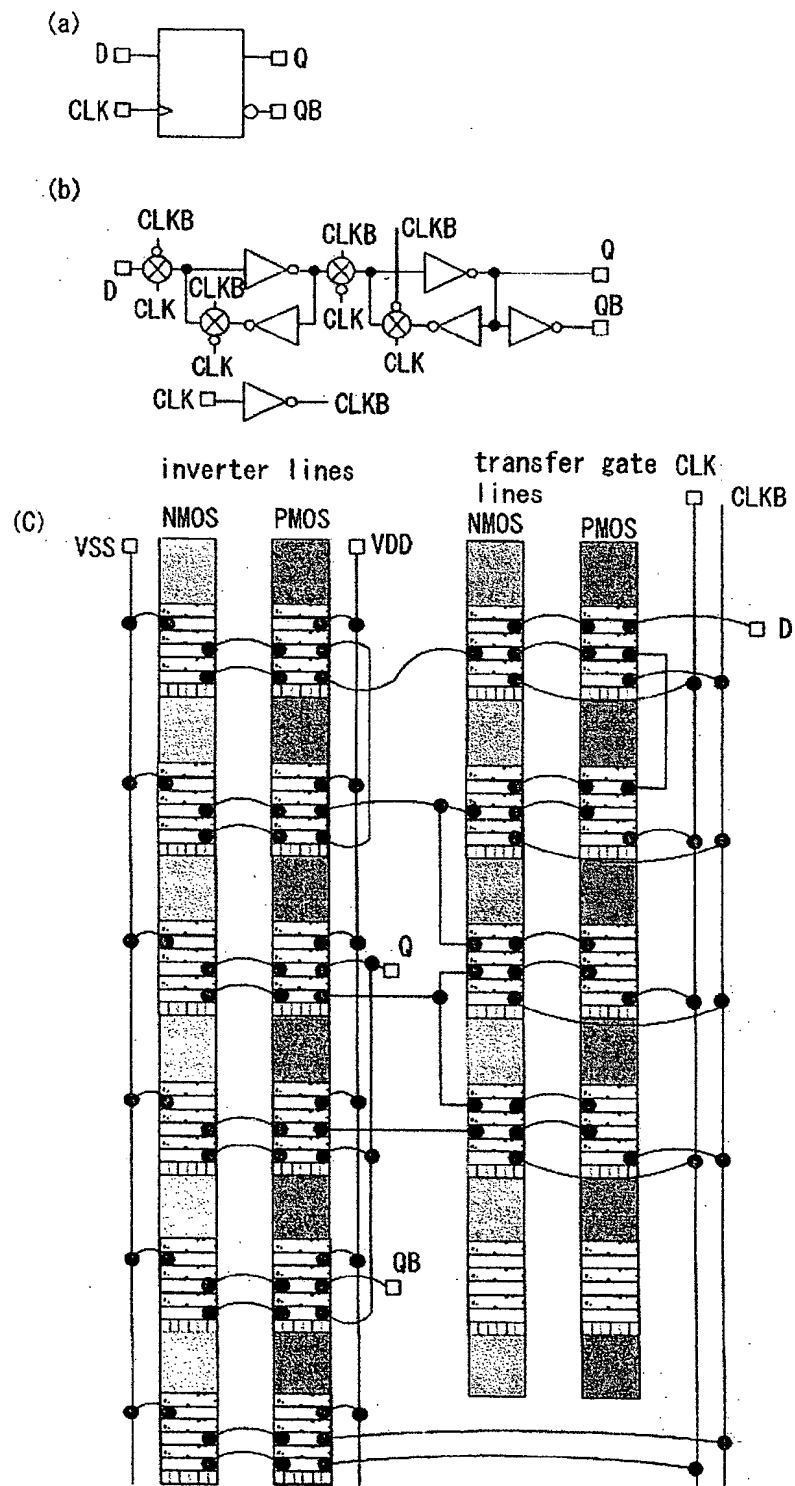
(c)



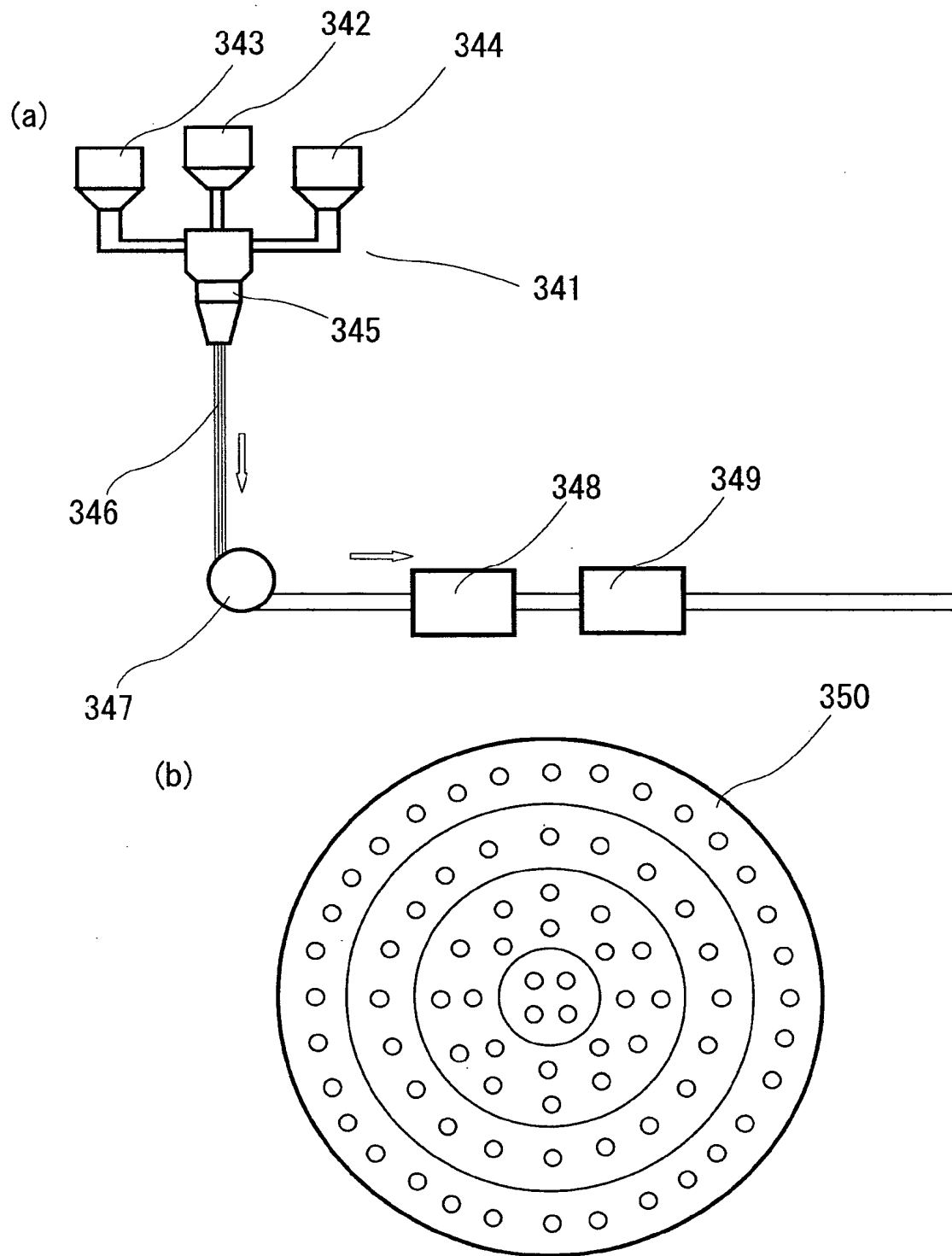
[図20]



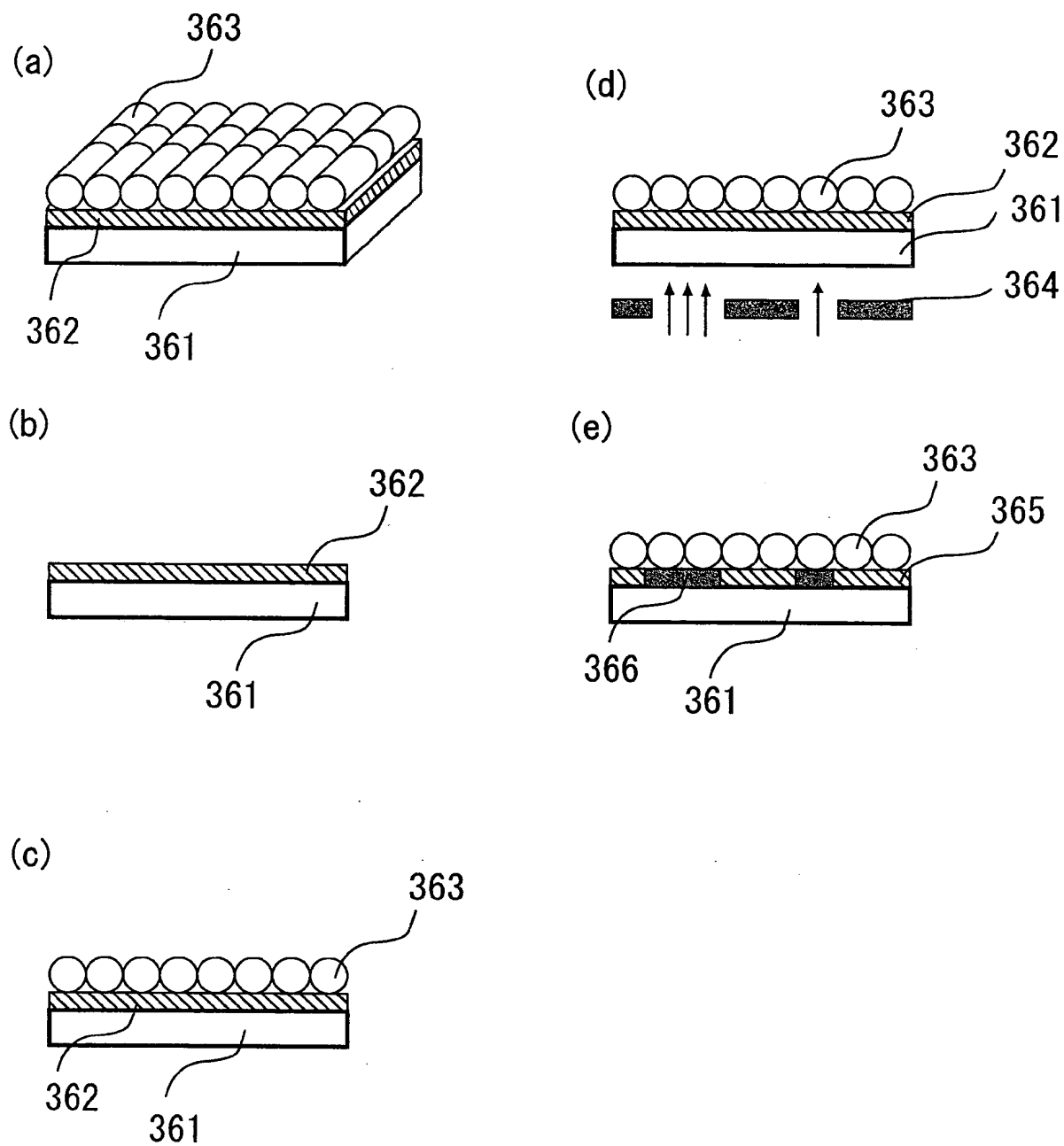
[図21]



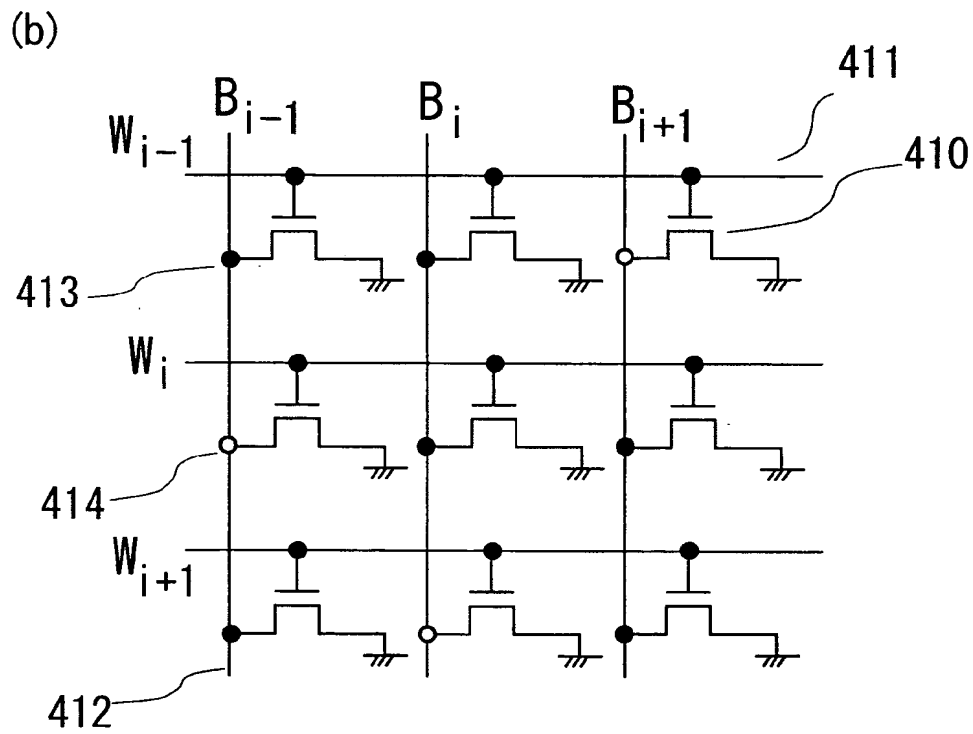
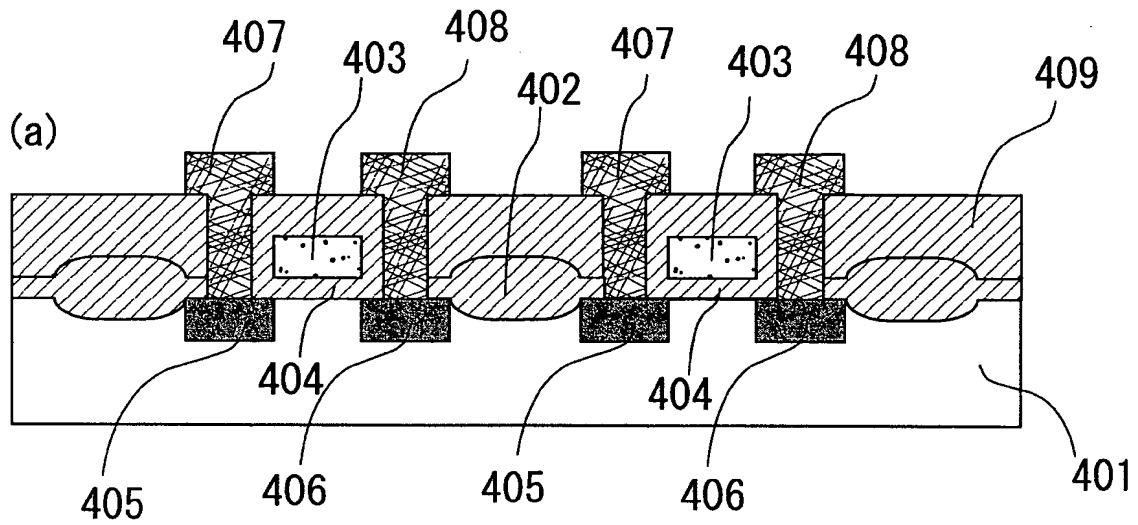
[図22]



[図23]

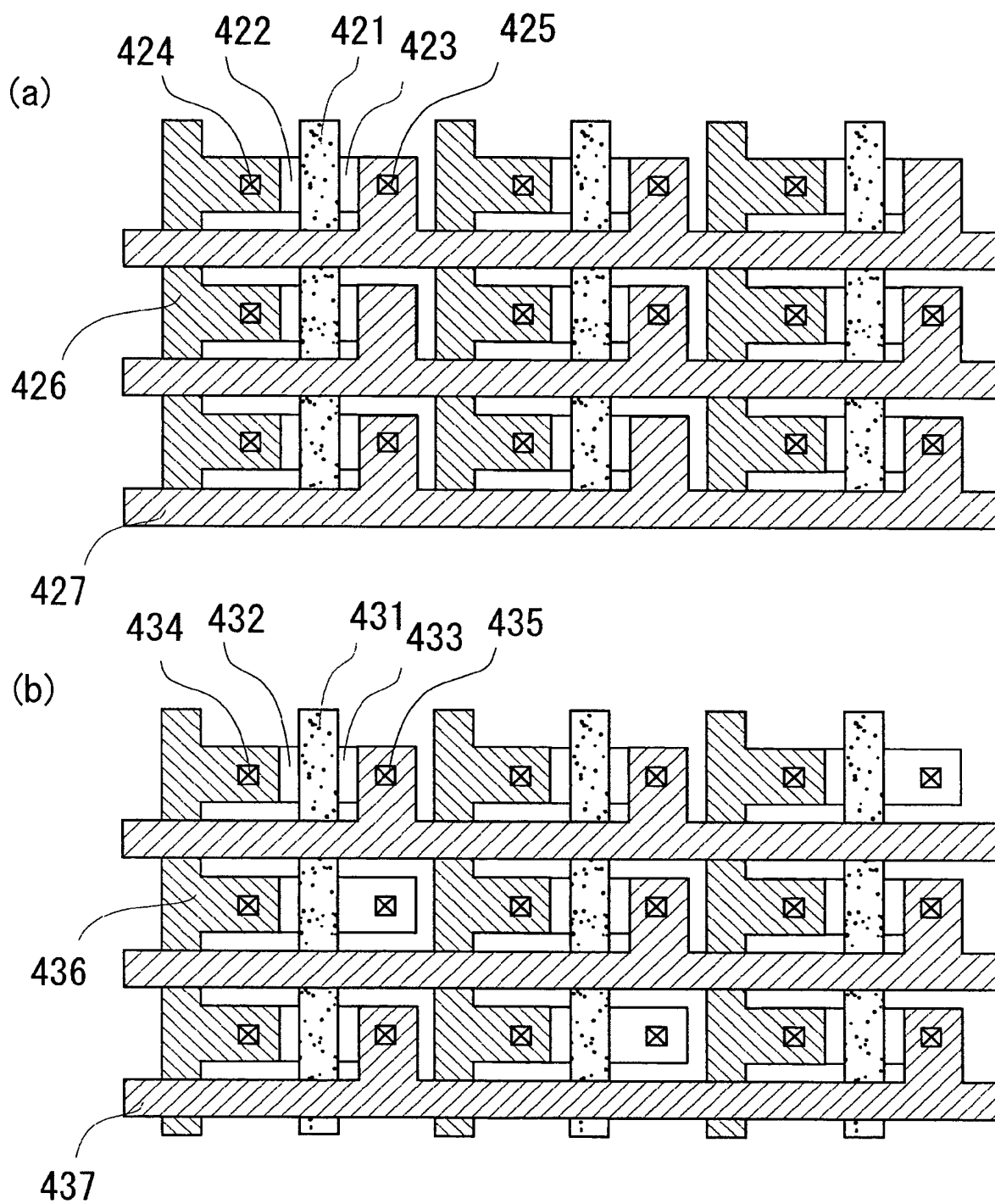


[図24]

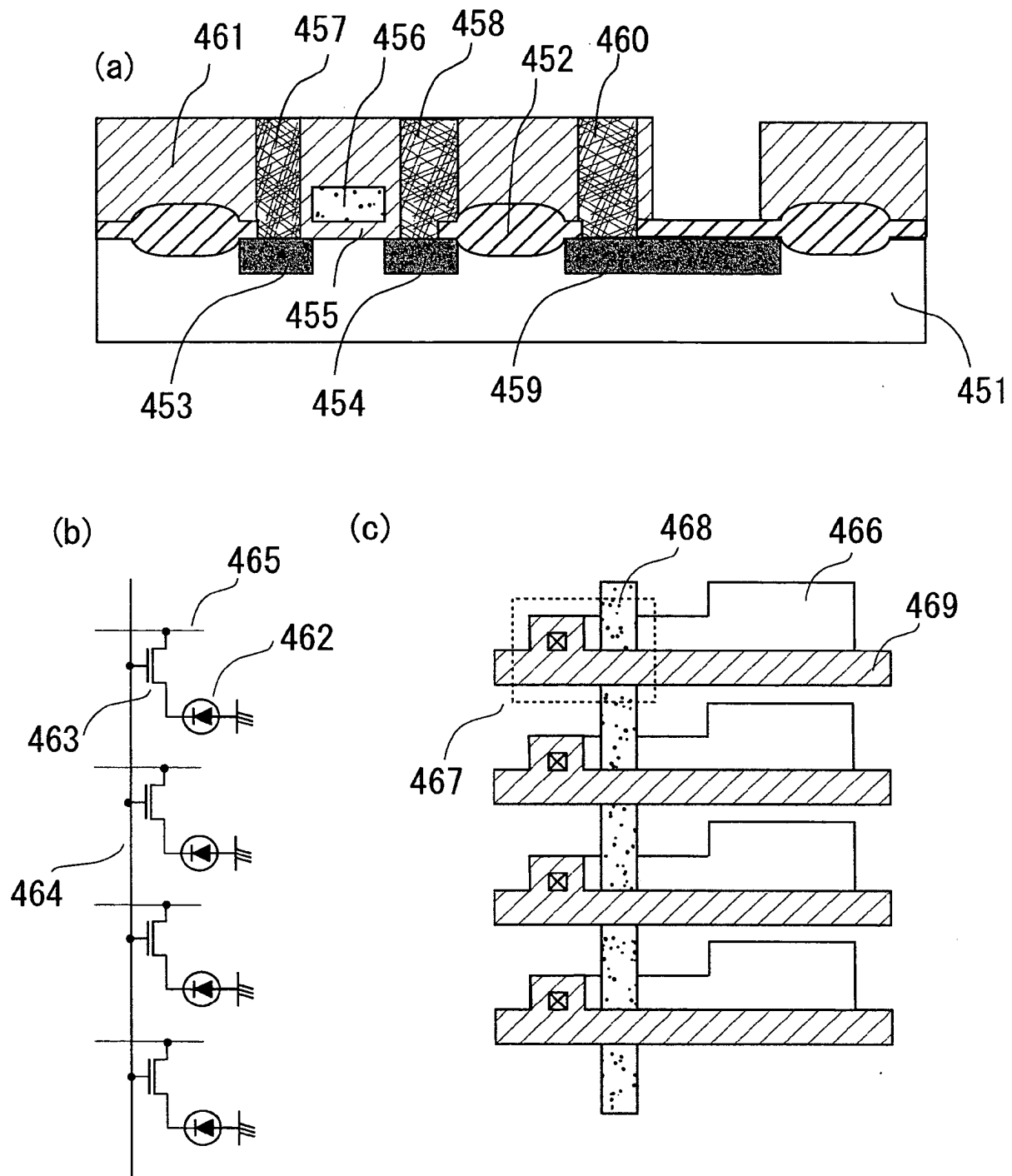




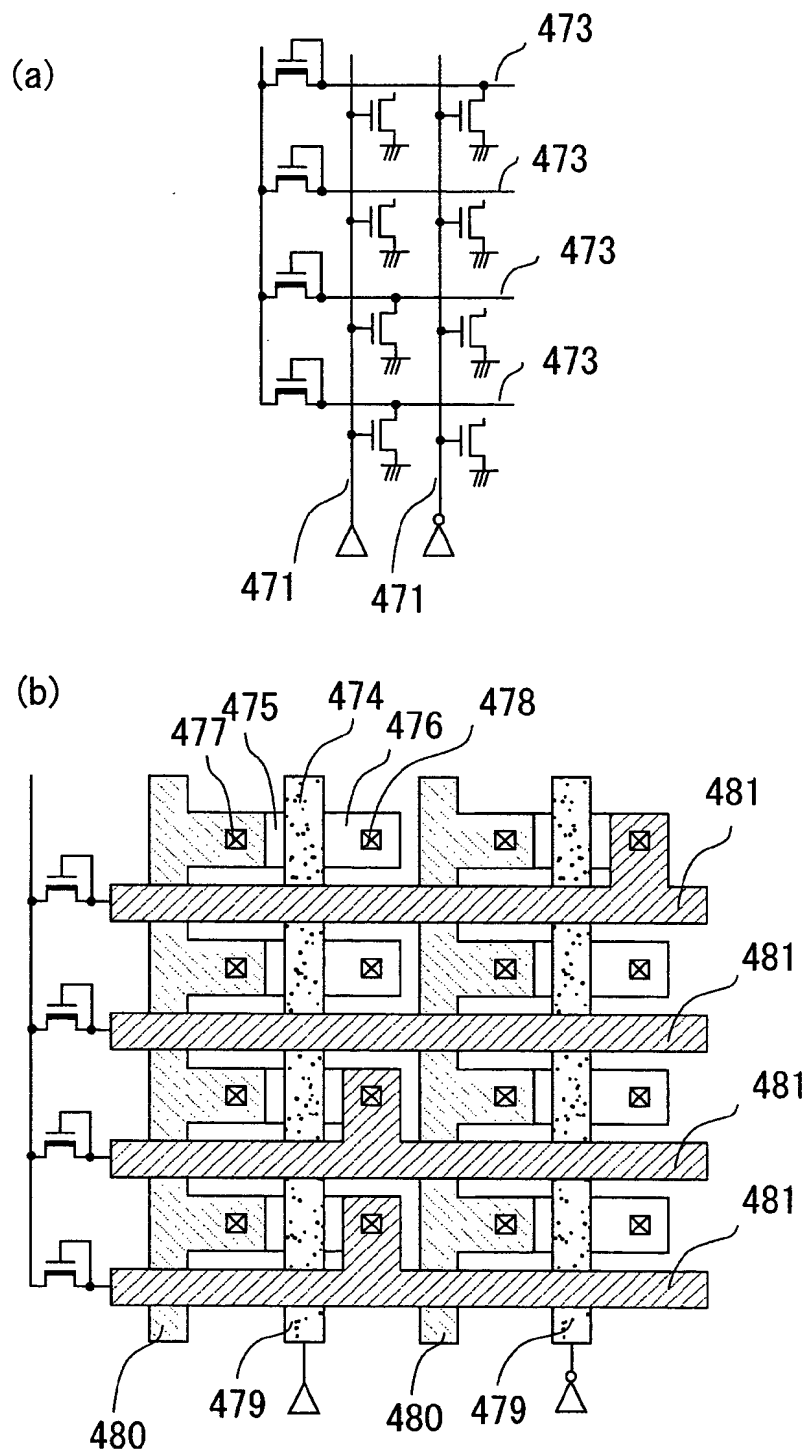
[図25]



[図26]



[図27]



[図28]

